

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2509017号

(45) 発行日 平成 8 年 (1996) 6 月 19 日

(24) 登録日 平成 8 年 (1996) 4 月 16 日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
	1/133	5 5 0		1/133 5 5 0
G 0 9 G 3/36			G 0 9 G 3/36	
H 0 1 L 29/786		9056-4M	H 0 1 L 29/78	6 1 2 C

請求項の数13(全 23 頁)

(21) 出願番号 特願平3-184626
(22) 出願日 平成 3 年 (1991) 7 月 24 日
(65) 公開番号 特開平5-27264
(43) 公開日 平成 5 年 (1993) 2 月 5 日

(73) 特許権者 000005223
富士通株式会社
神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
(72) 発明者 ▲梁▼井 健一
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72) 発明者 田中 勉
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72) 発明者 寛 達也
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(74) 代理人 弁理士 青木 朗 (外 4 名)

審査官 井口 猶二

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】 液晶を介して対向配置した 2 枚の基板の一方に、複数のスキャンバスライン (1)、薄膜トランジスタ (2)、表示電極 (3)、および、基準電位供給バスライン (4) が形成され、前記薄膜トランジスタのゲートが前記スキャンバスラインに、ソースおよびドレインの何れか一方が前記表示電極に、他方が前記基準電位供給バスラインにそれぞれ接続され、前記 2 枚の基板の他方に、前記表示電極と対向するストライプ状の複数のデータバスライン (5) が形成された対向マトリクス形式のアクティブマトリクス型液晶表示装置であって、薄膜トランジスタのゲート選択終了時に生ずる表示電極電位の変動を補償するために各表示電極に対して補償用

ートが選択されていない蓄積期間 (Ta) における容量よりも大きく設定するように構成したことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 2】 前記補償用可変容量 (6) の設定値を、電圧によって制御するようにしたことを特徴とする請求項 1 のアクティブマトリクス型液晶表示装置。

【請求項 3】 前記スキャンバスライン (1) を、前記薄膜トランジスタ (2) を駆動制御する第 1 のスキャンバスライン (11)、および、前記補償用可変容量 (6) を制御する第 2 のスキャンバスライン (12) で形成したことを特徴とする請求項 1 のアクティブマトリクス型液晶表示装置。

【請求項 4】 前記第 1 および第 2 のスキャンバスライ

該第1のスキャンバスラインに隣接する表示電極を制御する信号が供給されるようになっていたことを特徴とする請求項3のアクティブマトリクス型液晶表示装置。

【請求項5】 前記補償電圧を制御する補償電圧制御用電極バスラインとして、前記スキャンバスライン或いは前記基準電位供給バスラインを用いるようにしたことを特徴とする請求項1のアクティブマトリクス型液晶表示装置。

【請求項6】 前記補償用可変容量(6)を、上方から上部電極、絶縁体層、半導体層、および、下部電極の積層構造により構成し、該上部電極と該半導体層とが重なる面積を該上部電極と該下部電極とが重なる面積よりも大きくしたことを特徴とする請求項1のアクティブマトリクス型液晶表示装置。

【請求項7】 補償動作期間中に前記補償用可変容量の半導体層中に誘起される電荷の符号を、薄膜トランジスタのゲート選択時のキャリアと異なる符号となるように構成し、該補償用可変容量の下部電極を表示電極に、該補償用可変容量の上部電極を補償電圧制御用電極にそれぞれ接続するようにしたことを特徴とする請求項6のアクティブマトリクス型液晶表示装置。

【請求項8】 補償動作期間中に前記補償用可変容量の半導体層中に誘起される電荷の符号を、薄膜トランジスタのゲート選択時のキャリアと同じ符号となるように構成し、該補償用可変容量の上部電極を表示電極に、該補償用可変容量の下部電極を補償電圧制御用電極にそれぞれ接続するようにしたことを特徴とする請求項6のアクティブマトリクス型液晶表示装置。

【請求項9】 前記補償用可変容量(6)を、上方から上部電極、半導体層、絶縁体層、および、下部電極の積層構造により構成し、該半導体層と該下部電極とが重なる面積を該上部電極と該下部電極とが重なる面積よりも大きくしたことを特徴とする請求項1のアクティブマトリクス型液晶表示装置。

【請求項10】 補償動作期間中に前記補償用可変容量の半導体層中に誘起される電荷の符号を、薄膜トランジスタのゲート選択時のキャリアと異なる符号となるように構成し、該補償用可変容量の上部電極を表示電極に、該補償用可変容量の下部電極を補償電圧制御用電極にそれぞれ接続するようにしたことを特徴とする請求項9のアクティブマトリクス型液晶表示装置。

【請求項11】 補償動作期間中に前記補償用可変容量の半導体層中に誘起される電荷の符号を、薄膜トランジスタのゲート選択時のキャリアと同じ符号となるように構成し、該補償用可変容量の下部電極を表示電極に、該補償用可変容量の上部電極を補償電圧制御用電極にそれぞれ接続するようにしたことを特徴とする請求項9のアクティブマトリクス型液晶表示装置。

トを行うオーミックコンタクト部とで構成し、該オーミックコンタクト部に誘起されるキャリアにより該半導体層中に誘起される電荷を規定するようにした請求項6または9のアクティブマトリクス型液晶表示装置。

【請求項13】 前記半導体層を、前記薄膜トランジスタを製造するのに使用するアモルファスシリコン層で構成したことを特徴とする請求項6～12の何れか1項に記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、各画素に対応した薄膜トランジスタ(TFT)のスイッチング作用により液晶セルへの電圧書き込みと保持動作を行うアクティブマトリクス型表示装置に関し、特に、対向マトリクス形式のアクティブマトリクス型液晶表示装置に関する。

【0002】 アクティブマトリクス型液晶表示装置は、単純マトリクス型液晶表示装置と同様に薄型であるため、ラップトップ型パーソナルコンピュータやワードプロセッサ、或いは、ポータブルテレビ等の各種の表示装置として幅広く使用されている。すなわち、アクティブマトリクス型液晶表示装置は、画素対応に設けた薄膜トランジスタにより該各画素を独立的に駆動するものであるため、表示容量の増大に伴ってライン数が増加した場合でも、単純マトリクス型液晶表示装置のように、駆動デューティの低下に基づくコントラストの低下や視野角の減少の問題が生じない。そのため、アクティブマトリクス型液晶表示装置は、陰極線管(CRT)と同程度の品質のカラー表示が可能となり、フラットディスプレイ装置としての用途が広がっている。

【0003】 しかし、アクティブマトリクス型液晶表示装置は、画素対応にスイッチング素子として薄膜トランジスタ等を設ける必要があるため、製造工程が複雑となり、大画面の表示装置を製造する場合には、大型の製造装置を必要とする。さらに、製造設備費が高くなると共に製造歩留りが低下することになり、アクティブマトリクス型液晶表示装置は非常に高価なものとなっている。そのため、実用化されている現在のアクティブマトリクス型液晶表示装置は、比較的小さいものに限定されている。

【0004】 また、アクティブマトリクス型液晶表示装置の構造の複雑さから生じる製造歩留りの低下等を改善するために、スキャンバスラインとデータバスラインとを別々の基板上に形成し、同一基板上におけるバスラインの交差を無くした対向マトリクス形式のアクティブマトリクス型液晶表示装置が提案されており、より一層の表示品質の向上が要望されている。

【0005】

【従来の技術】 従来、同一の基板上にスキャンバスライ

するアクティブマトリクス型液晶表示装置が提供されている。しかし、このようなアクティブマトリクス型液晶表示装置は、同一基板上にスキャンバスラインとデータバスラインとが交差して形成されるため、交差点において絶縁不良や短絡等が生じたり、また、交差点の段差によって上層のバスラインに断線が生じる場合がある。さらに、下層のバスラインおよび絶縁体層を厚く形成するにも限度があるため、下層のバスラインの抵抗を小さくすることが容易ではなく、また、絶縁体層を厚く形成できないため、交差点に於ける短絡を完全に防止することは困難であった。

【0006】そこで、スキャンバスラインとデータバスラインとを、液晶を介して対向配置した一方と他方のガラス等の基板上に形成した対向マトリクス形式のアクティブマトリクス型液晶表示装置が提案されている。図12は従来の対向マトリクス形式のアクティブマトリクス型液晶表示装置のパネル部分を示す分解斜視図であり、図13は図12に示すアクティブマトリクス型液晶表示装置の等価回路を示す図である。

【0007】図12に示されるように、対向マトリクス形式のアクティブマトリクス型液晶表示装置は、液晶（図示しない）を挟むようにして一方のガラス基板89と他方のガラス基板89とを対向させたもので、該一方のガラス基板（TFT基板）80上には、スキャンバスライン81、薄膜トランジスタ83、液晶セル84を構成する表示電極84a、および、基準電位供給バスライン88（図13ではアースとして示す）が形成され、該他方のガラス基板（対向基板）80上には、ストライプ状のデータバスライン82が形成されている。ここで、ストライプ状のデータバスライン82と表示電極84aとの間には液晶が封入され、これにより液晶セル84が構成される。この液晶セル84は、データバスライン82と薄膜トランジスタ83のドレイン（または、ソース）86との間に接続され、薄膜トランジスタ83のゲート85はスキャンバスライン81に接続され、そして、薄膜トランジスタ83のソース（または、ドレイン）87は基準電位供給バスライン88に接続される。

【0008】上述した構成により、データバスライン82とスキャンバスライン81とは液晶を介して直交配置されることになるが、同一基板上で交差するものではないため、交差点の絶縁体層を形成する必要がなくなり構成を簡単にすることができる。さらに、データバスライン82とスキャンバスライン81との間で短絡が生じることがなくなり、同一の基板上にスキャンバスラインとデータバスラインとを直交して形成し該各交点に薄膜トランジスタを介して表示電極を接続した構成を有する従来の一般形式のアクティブマトリクス型液晶表示装置に比較して、表示欠陥を減少して製造歩留りを向上させることができる。

式のアクティブマトリクス型液晶表示装置はクロストークが大きくなることが知られている。すなわち、対向マトリクス形式のアクティブマトリクス型液晶表示装置においては、薄膜トランジスタがオフ状態であっても、データバスラインに順次印加されるデータ電圧が液晶セルに対して並列的な静電容量（薄膜トランジスタのゲートが接続されているスキャンバスラインと液晶セルを構成する表示電極との間の静電容量、および、該表示電極とデータバスラインとの間、または、該表示電極と基準電位供給バスラインとの間、すなわち、薄膜トランジスタのソース・ドレイン間における静電容量）を介して印加されることになるため、他のセルに対するデータ電圧によって液晶セル電圧が変動し、その結果、表示品質が低下するという欠点があった。

【0010】また、従来の一般形式のアクティブマトリクス型液晶表示装置は、蓄積容量を付加して容量結合比を小さくすることが可能であるが、対向マトリクス形式のアクティブマトリクス型液晶表示装置は、このような蓄積容量を付加することができないため、容量結合比を小さくすることは困難である。さらに、蓄積容量を付加することが困難であることから、薄膜トランジスタ(83)のゲート(85)に接続されたスキャンバスライン(81)を選択した直後の直流電圧レベルシフトのために残像現象が大きくなる欠点があり、特に、静止画像の場合には焼き付き現象が生じて表示品質が低下することにもなっている。

【0011】そこで、本発明者達は、クロストークを低減し、且つ、直流電圧レベルシフト(DCレベルシフト)を補償して表示品質を改善することの可能なアクティブマトリクス型液晶表示装置を提案した(特願平2-218966号:図14参照)。

【0012】

【発明が解決しようとする課題】図14は関連技術としてのアクティブマトリクス型液晶表示装置の一例を示す図である。図14に示されるように、特願平2-218966号で提案したアクティブマトリクス型液晶表示装置には、高い製造歩留まりと残像のない美しい表示を実現できる方式として、残像の原因となる直流電圧レベルシフトを補償するために補償用薄膜トランジスタ(TFT)が設けられている。すなわち、液晶を介して対向配置した2枚の基板の一方(TFT基板89)には、複数のスキャンバスライン11', 12', 薄膜トランジスタ21, 22, 表示電極3, および、基準電位供給バスライン4が形成され、また、2枚の基板の他方(対向基板80)には、表示電極3と対向するストライプ状の複数のデータバスライン5が形成されている。ここで、スキャンバスライン11' および12' は、基準電位供給バスライン4の両側に平行に設けられている。

タ22は、直流電圧レベルシフトを補償するためのものである。すなわち、薄膜トランジスタ21のゲートは、スキャンバスライン11' (S_i) に接続され、薄膜トランジスタ22のゲートは、該薄膜トランジスタ21のゲートが接続されたスキャンバスライン11' (S_i) の1つ上のラインを駆動するためのスキャンバスライン12' (S_{i-1}) に接続されている。さらに、薄膜トランジスタ21, 22 のドレイン (または、ソース) は表示電極3 (液晶セル P_i) に接続され、また、薄膜トランジスタ21, 22 のソース (または、ドレイン) は基準電位供給バスライン4に接続されている。そして、薄膜トランジスタ22により、薄膜トランジスタ21のゲート選択終了時に生ずる表示電極電位の変動を補償するようになっており、スキャンバスラインの駆動波形をアドレス用のパルスと補償用のパルスとで構成することにより動作させるようになってい

る。このような構成をとることにより、TFT基板にバ

$$\alpha = (C_{GS}^C + C_{GS}^A + C_{LC}) / (C_{LC} + C_{GS}^C + C_{GS}^A + C_{RS})$$

に比例することになる。このため、補償用電圧の低電圧化のため補償用容量を大きくすると、これに伴いクロストークが大きくなり、美しいフルカラー表示が実現できなくなるといった問題が生じることになる。

【0016】本発明は、上述した従来のアクティブマトリクス型液晶表示装置が有する課題に鑑み、大画面でも低コストで高い製造歩留まりを実現でき、しかも、美しいフルカラー表示が可能なアクティブマトリクス型液晶表示装置の提供を目的とする。

【0017】

【課題を解決するための手段】図1は本発明に係るアクティブマトリクス型液晶表示装置の原理を示す図である。図1(a)に示されるように、本発明によれば、液晶を介在して対向配置した2枚の基板の一方に、複数のスキャンバスライン1、薄膜トランジスタ2、表示電極3、および、基準電位供給バスライン4が形成され、前記薄膜トランジスタ2のゲートが前記スキャンバスライン1に、ソースおよびドレインの何れか一方が前記表示電極3に、他方が前記基準電位供給バスライン4にそれぞれ接続され、前記2枚の基板の他方に、前記表示電極3と対向するストライプ状の複数のデータバスライン5が形成された対向マトリクス形式のアクティブマトリクス型液晶表示装置であって、薄膜トランジスタ2のゲート選択終了時に生ずる表示電極電位の変動を補償するために各表示電極3に対して補償用可変容量6を設け、該補償用可変容量6を、補償動作期間Tbにおける容量を薄膜トランジスタのゲートが選択されていない蓄積期間Taにおける容量よりも大きく設定するように構成したことを特徴とするアクティブマトリクス型液晶表示装置が提供される。

【0018】

スラインの交差がないため高い歩留まりが、直流電圧レベルシフトの補償がないため残像のない美しい表示が実現できるようになっている。

【0014】図15は図14に示すアクティブマトリクス型液晶表示装置の等価回路を示す図である。同図に示されるように、通常アドレス用として機能するTFT (薄膜トランジスタ21) に関する容量を C_{GS}^A 、直流電圧レベルシフト補償用として機能するTFT (薄膜トランジスタ22) に関する容量を C_{GS}^C とすると、補償電圧 V_C は、

$$V_C = (C_{GS}^A * V_A) / C_{GS}^C$$

と表される。

【0015】対向マトリクスでは、TFTがオフ状態の蓄積期間中に他の表示セルにデータが書き込まれることによるクロストークの大きさは、結合定数 α

容量6により、薄膜トランジスタ2のゲート選択終了時に生ずる表示電極電位の変動が補償されるようになっている。図1(b) および(c) に示されるように、本発明のアクティブマトリクス型液晶表示装置においては、補償用容量として可変容量6を用いており、該補償用可変容量6の値を直流電圧レベルシフトの補償動作期間Tbには大きく、それ以外の期間 (アドレス用の薄膜トランジスタ2のゲートが選択されていない蓄積期間Ta) には小さくするように設定するようになっている。このような補償用可変容量6を用いると、補償動作期間Tb 中には大きな容量を持つため補償電圧の低電圧化を図ることができ、且つ、蓄積期間Ta 中には小さな寄生容量として作用するためクロストークの抑制が実現できフルカラー表示のために十分な諧調表示が可能となる。

【0019】このように、本発明のアクティブマトリクス型液晶表示装置においては、直流電圧レベルシフト補償用の容量を可変容量とし、補償動作期間Tbにおいては大きな値に設定することで補償電圧の低電圧化を可能とし、また、該容量を蓄積期間Ta においては小さな値に設定することでクロストークの抑制を可能とする。

【0020】

【実施例】以下、図面を参照して本発明に係るアクティブマトリクス型液晶表示装置の実施例を説明する。図2は本発明のアクティブマトリクス型液晶表示装置の基本的な構成例を示す図であり、対向マトリクス形式のアクティブマトリクス型液晶表示装置の一方の基板上のパターンを示すものである。

【0021】図2に示されるように、本実施例のアクティブマトリクス型液晶表示装置において、液晶を介在して対向配置された2枚の基板の一方 (図12中のTFT基板89) には、複数のスキャンバスライン11, 12, 薄膜ト

2枚の基板の他方（図12中の対向基板80）には、表示電極3と対向するストライプ状の複数のデータバスライン5が形成されている。ここで、スキャンバスライン11および12は、基準電位供給バスライン4の両側に平行に設けられている。また、基準電位供給バスライン4は、全てに共通接続されており、例えば、1水平走査期間毎に異なる二つのレベルの何れかに切り替えられるようになっている。

【0022】薄膜トランジスタ2は、所定の液晶セルを選択駆動するためのものであり、また、補償用可変容量6は、直流電圧レベルシフトを補償するためのものである。すなわち、薄膜トランジスタ2のゲートは、スキャンバスライン11（ S_i ）に接続され、補償用可変容量6の一方の端子は、該薄膜トランジスタ2のゲートが接続されたスキャンバスライン11（ S_i ）の1つ上のラインを駆動するためのスキャンバスライン12（ S_{i-1} ）に接続されている。さらに、薄膜トランジスタ2のドレイン（または、ソース）は表示電極3（液晶セル P_j ）に接続され、また、薄膜トランジスタ2のソース（または、ドレイン）は基準電位供給バスライン4に接続されている。そして、補償用可変容量6の他方の端子は、表示電極3（液晶セル P_j ）に接続されている。

【0023】図3は図2に示すアクティブマトリクス型液晶表示装置におけるタイミング図であり、 $i-1$ 列の液晶セル P_{i-1} を駆動するためのスキャンバスライン S_{i-1} （液晶セル P_j の表示電極3に接続される補償用可変容量6の一方の端子が接続されるスキャンバスライン12）の電圧波形、 i 列の液晶セル P_j を駆動するためのスキャンバスライン S_i （液晶セル P_j の表示電極3に接続される薄膜トランジスタ2のゲートが接続されるスキャンバスライン11）の電圧波形、および、補償用可変容量6の容量値（ C_{GS} ）を示すものである。

【0024】図3に示されるように、 i 列の液晶セル P_j を駆動するためのスキャンバスライン S_i の電圧波形は、 $i-1$ 列の液晶セル P_{i-1} を駆動するためのスキャンバスライン S_{i-1} の電圧波形と同様な形状で、所定の（クロック信号に応じた）タイミングだけ遅れたものとなっている。すなわち、アクティブマトリクス型液晶表示装置における各コラムラインの駆動信号は、クロック信号に応じて順次選択されて所定レベルに変化するようになっている。また、補償用可変容量6の容量値（ C_{GS} ）は、直流電圧レベルシフトの補償動作期間 T_b には大きく、それ以外の期間（アドレス用の薄膜トランジスタ2のゲートが選択されていない蓄積期間 T_a ）には小さく設定されるようになっている。すなわち、同図に示されるように、補償用可変容量6の容量値 C_{GS} は、補償動作期間 T_b には C_b とされ、蓄積期間 T_a には C_a となるように可変制御されるようになっている。

薄膜トランジスタ2を介して基準電位供給バスライン4に接続され、データバスライン5と基準電位供給バスライン4との差電圧が（データ電圧）が液晶セル P_{i-1} に印加される。そして、液晶セル P_{i-1} は、次にその列（ $i-1$ 列）が選択されるまで該データ電圧を維持して所定の表示を行うことになる。このとき、すなわち、液晶セル P_{i-1} の蓄積期間 T_a において、液晶セル P_{i-1} の表示電極3に接続される補償用可変容量6の容量値 C_{GS} は C_a と小さくされているため、液晶セル P_{i-1} は、他のラインのデータ電圧による影響（クロストーク）を殆ど受けることがない。

【0026】次に、スキャンバスライン S_i にスキャン電圧が印加されると、液晶セル P_j の表示電極3は薄膜トランジスタ2を介して基準電位供給バスライン4に接続され、データバスライン5と基準電位供給バスライン4との差電圧が（データ電圧）が液晶セル P_j に印加される。そして、液晶セル P_j は、次にその列（ i 列）が選択されるまで該データ電圧を維持して所定の表示を行うことになる。液晶セル P_j の補償動作期間 T_b （液晶セル P_j 以外のセルの蓄積期間）において、液晶セル P_j の表示電極3に接続される補償用可変容量6の容量値 C_{GS} は C_b と大きくされているため、液晶セル P_j における直流電圧レベルシフトを十分に補償することができる。このことは、直流電圧レベルシフトの補償を行うための補償電圧の低電圧化を行えることにも対応する。

【0027】なお、スキャンバスライン11および12は基準電位供給バスライン4の両側に平行に設けられており、スキャンバスライン11（ S_i ）には液晶セル P_j の薄膜トランジスタ2のゲートが接続され、スキャンバスライン12（ S_{i-1} ）には液晶セル P_j の補償用可変容量6の一方の端子が接続されているが、これらの構成は、他に様々に変形され得るのはいうまでもない。

【0028】図4は本発明のアクティブマトリクス型液晶表示装置における可変容量の構成の一例を示す図であり、同図(a)は平面パターン図、同図(b)は同図(a)におけるA-A断面図、そして、同図(c)は動作説明図である。すなわち、図2のアクティブマトリクス型液晶表示装置における補償用可変容量6としては、図4に示す構造を有するものを使用することができる。

【0029】図4(a)および(b)に示されるように、補償用可変容量6は、上方から上部電極61、絶縁体層62、半導体層63、および、下部電極64を積層したMIS構造となっている。下部電極64は、半導体層63との電気的な接続を行うためのオーミックコンタクト部641および電極部642で構成されている。そして、上部電極61と下部電極64の電極部642との間に電源電圧 V が印加されるようになっている。

【0030】図4(a)に示されるように、上部電極61と

いる。そして、上部電極61の電圧が負（－）で下部電極64の電極部642の電圧が正（＋）のときに、補償用可変容量6の容量を大きくするためには、半導体層63をP型の半導体物質（例えば、P型アモルファスシリコン）で構成すると共に、下部電極64のオーミックコンタクト部641をP⁺型の半導体物質（例えば、P⁺型アモルファスシリコン）で構成すればよい。

【0031】具体的に、まず、上部電極61に正の電圧を印加し、下部電極64（電極部642）に負の電圧を印加した場合、補償用可変容量6の容量値は、上部電極61と下部電極64が重なる面積 S_2 に依存することになる。これに対して、上部電極61に負の電圧を印加し、下部電極64に正の電圧を印加した場合、補償用可変容量6の容量値は、上部電極61と半導体層63が重なる面積 S_1 に依存することになる。すなわち、下部電極64の電極部642に正の電圧を印加すると、P⁺型半導体物質で構成されたオーミックコンタクト部641を介して、ホール（正孔）が半導体層63の全面に広がり、その結果、上部電極61と半導体層63との間（面積 S_1 ）で容量が形成されることになる。

【0032】従って、図4(c)に示されるように、電源電圧Vが正の場合（上部電極61が正電位で、下部電極64が負電位の場合）、補償用可変容量6の容量値は、上部電極61と下部電極64が重なる面積 S_2 に依存した小さな値に設定され、逆に、電源電圧Vが負の場合（上部電極61が負電位で、下部電極64が正電位の場合）、補償用可変容量6の容量値は、上部電極61と半導体層63が重なる面積 S_1 に依存した大きな値に設定されることになる。従って、本発明のアクティブマトリクス型液晶表示装置における補償用可変容量6は、上述したように、電圧（印加電圧の極性）により該補償用可変容量6の容量値を制御することによって、補償動作期間（ T_b ）における容量を蓄積期間（ T_a ）における容量よりも大きく設定することができる。

【0033】以上において、半導体層63をN型の半導体物質で構成すると共に、下部電極64のオーミックコンタクト部641をN⁺型の半導体物質で構成することもできる。ただし、この場合には、上部電極61に正の電圧を印加し、下部電極64（電極部642）に負の電圧を印加したときの補償用可変容量6の容量値は、上部電極61と半導体層63が重なる面積 S_1 に依存することになり、また、上部電極61に負の電圧を印加し、下部電極64に正の電圧を印加したときの補償用可変容量6の容量値は、上部電極61と下部電極64が重なる面積 S_2 に依存することになる。すなわち、下部電極64の電極部642に負の電圧を印加すると、N⁺型半導体物質で構成されたオーミックコンタクト部641を介して、電子が半導体層63の全面に広がり、その結果、上部電極61と半導体層63との間（面積

量は、上方から上部電極、絶縁体層、半導体層、および、下部電極を積層したMIS構造となっているが、この補償用可変容量としては、上方から上部電極、半導体層、絶縁体層、および、下部電極を積層したMIS構造として構成することもできる。ここで、前者の場合には、上部電極と半導体層とが重なる面積を上部電極と下部電極とが重なる面積よりも大きくしたが、後者の場合には、半導体層と下部電極とが重なる面積を上部電極と下部電極とが重なる面積よりも大きくすることになる。また、補償用可変容量6の補償電圧を制御する補償電圧制御用電極バスラインとしては、スキャンバスライン(12)以外に、基準電位供給バスライン4を用いるように構成してもよい。

【0035】このように、本発明のアクティブマトリクス型液晶表示装置に使用する補償用可変容量は、積層方向に（下方から）、下部電極、絶縁体層、半導体層、および、上部電極（或いは、下部電極、半導体層、絶縁体層、および、上部電極）のいわゆるMIS構造とされ、半導体層と絶縁体層側の電極の重なり面積を、下部電極と上部電極の重なり面積より大きく構成するようになっている。これによって、いわゆるMIS容量の可変量以上の変化量を制御することが可能になる。すなわち、通常のMIS容量は、半導体層の積層方向の空乏層容量が印加電圧により変化することにより生じるが、上述した容量（補償用可変容量）は、さらに平面方向の実効的電極面積（ S_1 および S_2 ）を印加電圧により制御することで、より一層大きな可変量の設定が可能になる。すなわち、半導体層が蓄積状態となるように電圧を印加すると半導体層のコンダクタンスが大きくなり、可変容量の実効的電極面積がほぼ半導体層と絶縁体層側電極とが重なる面積（ S_1 ）となるのに対し、半導体層が空乏状態となるように電圧を印加すると半導体層のコンダクタンスが小さくなり、可変容量の実効的電極面積がほぼ上部電極と下部電極とが重なる面積（ S_2 ）となるからである。

【0036】ところで、上記した補償用可変容量6をアクティブマトリクス型液晶表示装置に使用する場合、補償用電圧は、アドレス用の薄膜トランジスタ2のゲート電圧と逆方向に印加する必要があるため、補償電圧印加時に補償用容量を大きく設定するためには、補償動作期間（ T_b ）に補償用可変容量6の半導体層62中に誘起される電荷の符号が薄膜トランジスタ2のゲート選択時のキャリアと異なる符号の場合は、補償用可変容量6の半導体層側の電極を表示電極3に接続し、また、補償動作期間（ T_b ）に補償用可変容量6の半導体層62中に誘起される電荷の符号が薄膜トランジスタ2のゲート選択時のキャリアと同符号の場合は、補償用可変容量6の絶縁体層側の電極を表示電極3に接続することになる。

【0037】図5～図8は、本発明のアクティブマトリ

半導体層、絶縁体層、および、上部電極を積層して構成した場合を示すもので、補償動作期間 (Tb) に補償用可変容量6の半導体層63中に誘起される電荷の符号が薄膜トランジスタ2のゲート選択時のキャリア (電子) と異なる符号 (ホール) の場合で、補償用可変容量6の構成は図4で説明したものと同様である。

【0038】まず、図5(a)～(c)に示されるように、ガラス基板8(TFT基板)の上に透明電極としてITOをスパッタ法により50nm形成する。次に、図5(c)に示されるように、アドレス用の薄膜トランジスタ2のオーミックコンタクト層 (ソース21およびドレイン22) としてN⁺a-Si (アモルファスシリコン) をプラズマCVD法により30nm形成した後、レジスト90により所定のレジストパターン (プリソース・ドレインパターン) を形成して、N⁺a-Siだけを該レジストパターンに従ってエッチング処理する。さらに、図5(b)に示されるように、レジスト90を残したまま補償用可変容量6の半導体層側の電極 (下部電極64) のオーミックコンタクト層 (641) としてP⁺a-SiをプラズマCVD法により300nm形成してリフトオフを行って、オーミックコンタクト部641および電極部642からなる下部電極64を形成する (図6(b)参照)。

【0039】次に、図6(c)に示されるように、薄膜トランジスタ2のソース電極(21)およびドレイン電極(22)のパターニングを行う。さらに、図7(b)および(c)に示されるように、補償用可変容量6の半導体層63および薄膜トランジスタ2の半導体層23としてa-Siを30nm、第一層目の絶縁体層 (ゲート絶縁膜層) 62, 24としてSiNを50nmプラズマCVD法により形成した後、素子分離のパターニングを行う。続いて、図8(b)および(c)に示されるように、第二層目の絶縁体層 (ゲート絶縁膜層) 9 (62, 24) としてSiNを250nm形成し、コンタクトホールのパターニングを行う。そして、Al (アルミニウム) をスパッタ法により形成した後、スキャンバスライン11, 12および基準電位供給バスライン4のパターニングを行う。

【0040】ここで、参照符号3はITOよりなる表示電極を示し、40はITOで形成され、薄膜トランジスタ2のソース21と基準電位供給バスライン4とを接続するための導体部である。また、スキャンバスライン11の一部は、薄膜トランジスタ2のゲート25として使用されるようになっており、スキャンバスライン12の一部は、補償用可変容量6の上部電極61として使用されるようになっている。そして、補償用可変容量6の下部電極64は、表示電極3に接続されている。

【0041】以上のようにして製造されたアクティブマトリクス型液晶表示装置に対して、図3に示されるような波形の電圧をスキャンバスラインSi-1(12)、Si(11)

ベルシフトを補償すると共に、蓄積期間 (Ta) には補償用可変容量6の容量値を小さくしてクロストークを抑えることができる。

【0042】図9～図11は、本発明のアクティブマトリクス型液晶表示装置の他の実施例の製造工程例を説明するための図であり、補償用可変容量を下方から下部電極、半導体層、絶縁体層、および、上部電極を積層して構成した場合を示すもので、補償動作期間 (Tb) に補償用可変容量106の半導体層163中に誘起される電荷の符号が薄膜トランジスタ102のゲート選択時のキャリア (電子) と同じ場合に相当する。

【0043】まず、図9(a)～(c)に示されるように、ガラス基板108(TFT基板)の上に透明電極としてITOをスパッタ法により50nm形成する。次に、図9(b)および(c)に示されるように、アドレス用の薄膜トランジスタ102のおよび補償用可変容量106のオーミックコンタクト層としてN⁺a-Si (アモルファスシリコン) をプラズマCVD法により30nm形成した後、薄膜トランジスタ2のソース電極(121)およびドレイン電極(122)および補償用可変容量106の半導体層側電極 (下部電極164) のオーミックコンタクト層 (オーミックコンタクト部1641) のパターニングを行う。さらに、図10(b)および(c)に示されるように、補償用可変容量106の半導体層163および薄膜トランジスタ102の半導体層123としてa-Siを30nm、第一層目の絶縁体層 (ゲート絶縁膜層) 162, 124としてSiNを50nmプラズマCVD法により形成した後、素子分離のパターニングを行う。続いて、図11(b)および(c)に示されるように、第二層目の絶縁体層 (ゲート絶縁膜層) 109 (162, 124) としてSiNを250nm形成し、コンタクトホールのパターニングを行う。そして、Al (アルミニウム) をスパッタ法により形成した後、スキャンバスライン11, 12、基準電位供給バスライン4、および、補償用可変容量106の上部電極161のパターニングを行う。

【0044】ここで、参照符号103はITOよりなる表示電極を示し、140はITOで形成され、薄膜トランジスタ102のソース121と基準電位供給バスライン4とを接続するための導体部を示し、そして、150は補償用可変容量106の下部電極164の電極部1642と一体的にITOで形成され、該下部電極164のオーミックコンタクト部1641とスキャンバスライン12とを接続するための導体部を示している。また、スキャンバスライン11の一部は、薄膜トランジスタ102のゲート125として使用されるようになっている。そして、補償用可変容量106の上部電極161は、表示電極103に接続されている。

【0045】以上のようにして製造されたアクティブマトリクス型液晶表示装置に対して、図3に示されるような波形の電圧をスキャンバスラインSi-1(12)およびS

変容量106 の容量値を大きくして液晶セルの直流電圧レベルシフトを補償すると共に、蓄積期間 (Ta) には補償用可変容量106 の容量値を小さくしてクロストークを抑えることができる。

【0046】

【発明の効果】以上、詳述したように、本発明のアクティブマトリクス型液晶表示装置によれば、直流電圧レベルシフトを補償する補償用容量を可変容量とすることにより、補償電圧の低電圧化とクロストークの抑制が可能となるため、低コストでしかも美しいフルカラー表示が可能なアクティブマトリクス型液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明に係るアクティブマトリクス型液晶表示装置の原理を示す図である。

【図2】本発明のアクティブマトリクス型液晶表示装置の基本的な構成例を示す図である。

【図3】図2に示すアクティブマトリクス型液晶表示装置におけるタイミング図である。

【図4】本発明のアクティブマトリクス型液晶表示装置における可変容量の構成の一例を示す図である。

【図5】本発明のアクティブマトリクス型液晶表示装置の一実施例の製造工程例を説明するための図 (その1) である。

【図6】本発明のアクティブマトリクス型液晶表示装置の一実施例の製造工程例を説明するための図 (その2) である。

【図7】本発明のアクティブマトリクス型液晶表示装置の一実施例の製造工程例を説明するための図 (その3) である。

【図8】本発明のアクティブマトリクス型液晶表示装置の一実施例の製造工程例を説明するための図 (その4)

である。

【図9】本発明のアクティブマトリクス型液晶表示装置の他の実施例の製造工程例を説明するための図 (その1) である。

【図10】本発明のアクティブマトリクス型液晶表示装置の他の実施例の製造工程例を説明するための図 (その2) である。

【図11】本発明のアクティブマトリクス型液晶表示装置の他の実施例の製造工程例を説明するための図 (その3) である。

【図12】従来の対向マトリクス形式のアクティブマトリクス型液晶表示装置のパネル部分を示す分解斜視図である。

【図13】図12に示すアクティブマトリクス型液晶表示装置の等価回路を示す図である。

【図14】関連技術としてのアクティブマトリクス型液晶表示装置の一例を示す図である。

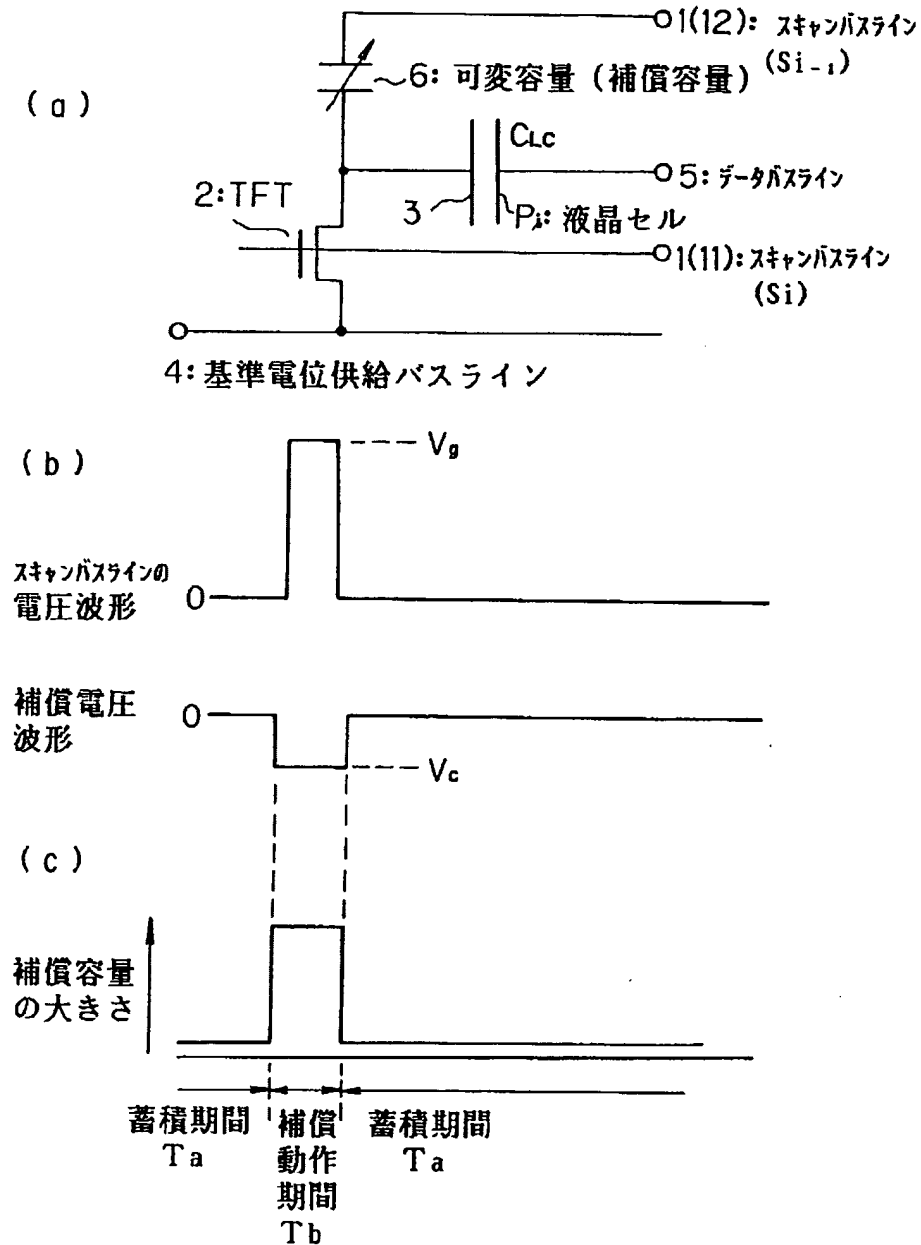
【図15】図14に示すアクティブマトリクス型液晶表示装置の等価回路を示す図である。

【符号の説明】

- 1, 11, 12…スキャンバスライン
- 2, 102…薄膜トランジスタ (TFT)
- 3, 103…表示電極
- 4…基準電位供給バスライン
- 5…データバスライン
- 6, 106…補償用可変容量
- 61, 161…上部電極
- 62, 162…絶縁体層
- 63, 163…半導体層
- 64, 164…下部電極
- 641, 1641…下部電極のオーミックコンタクト部
- 642, 1642…下部電極の電極部

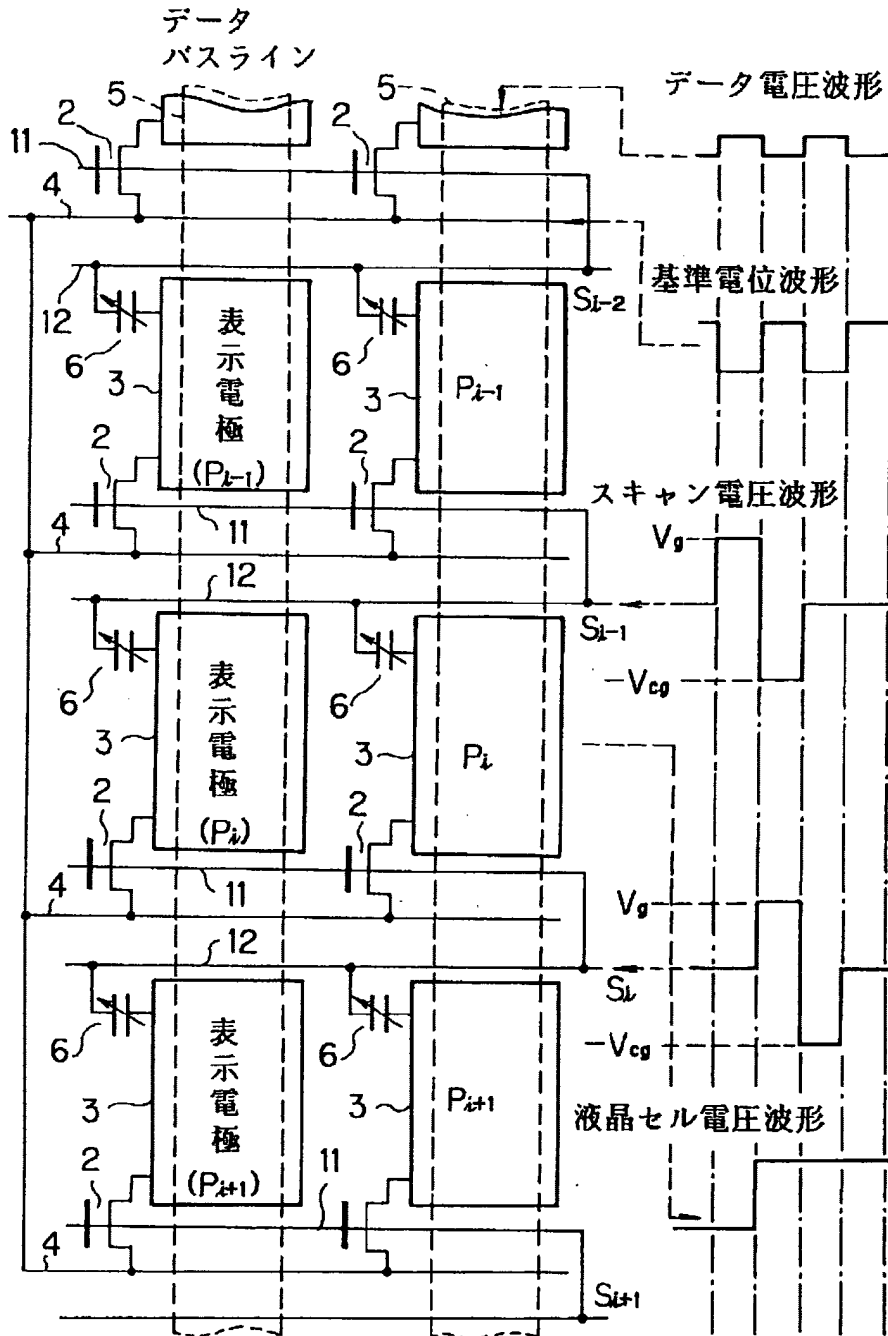
【図1】

本発明に係るアクティブマトリクス型液晶表示装置の原理を示す図



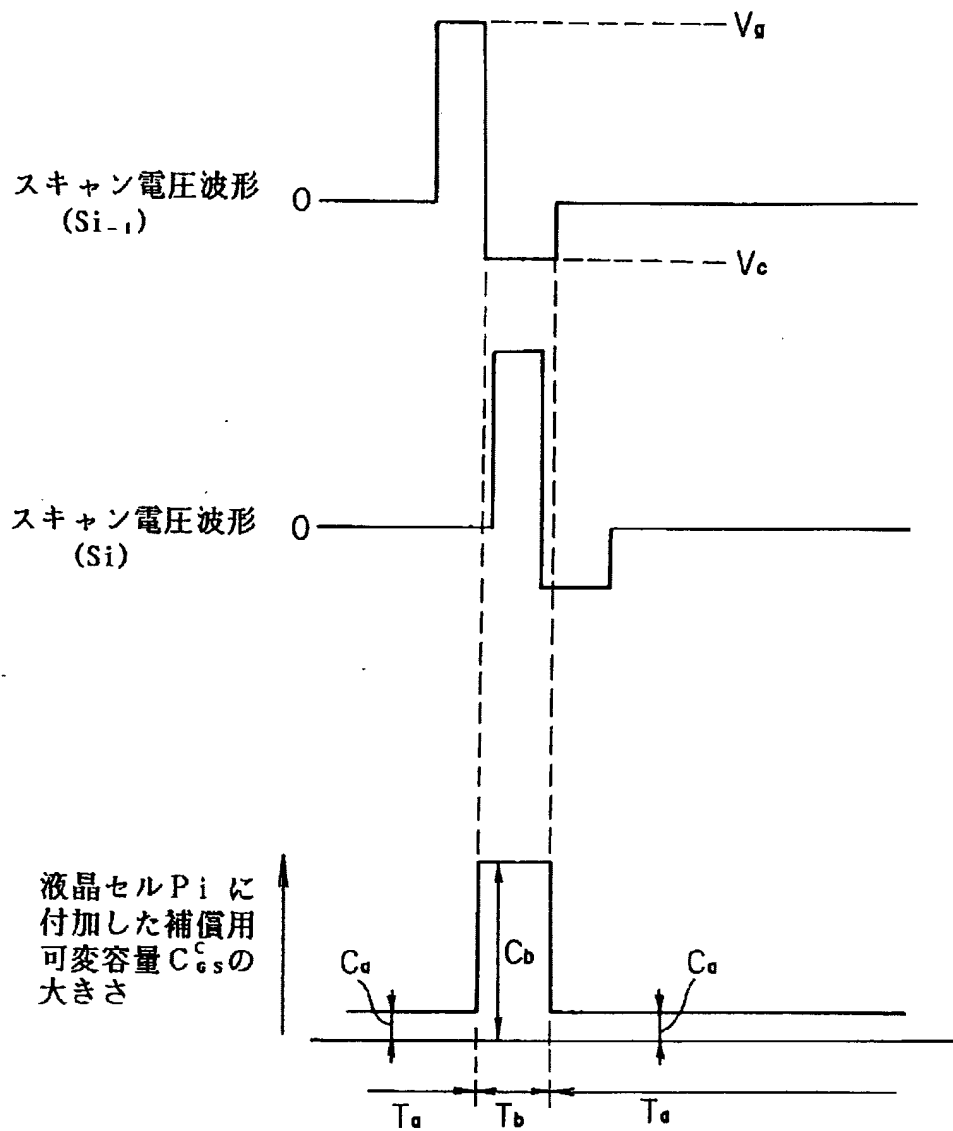
【図2】

本発明のアクティブマトリクス型液晶表示装置の基本的な構成例を示す図



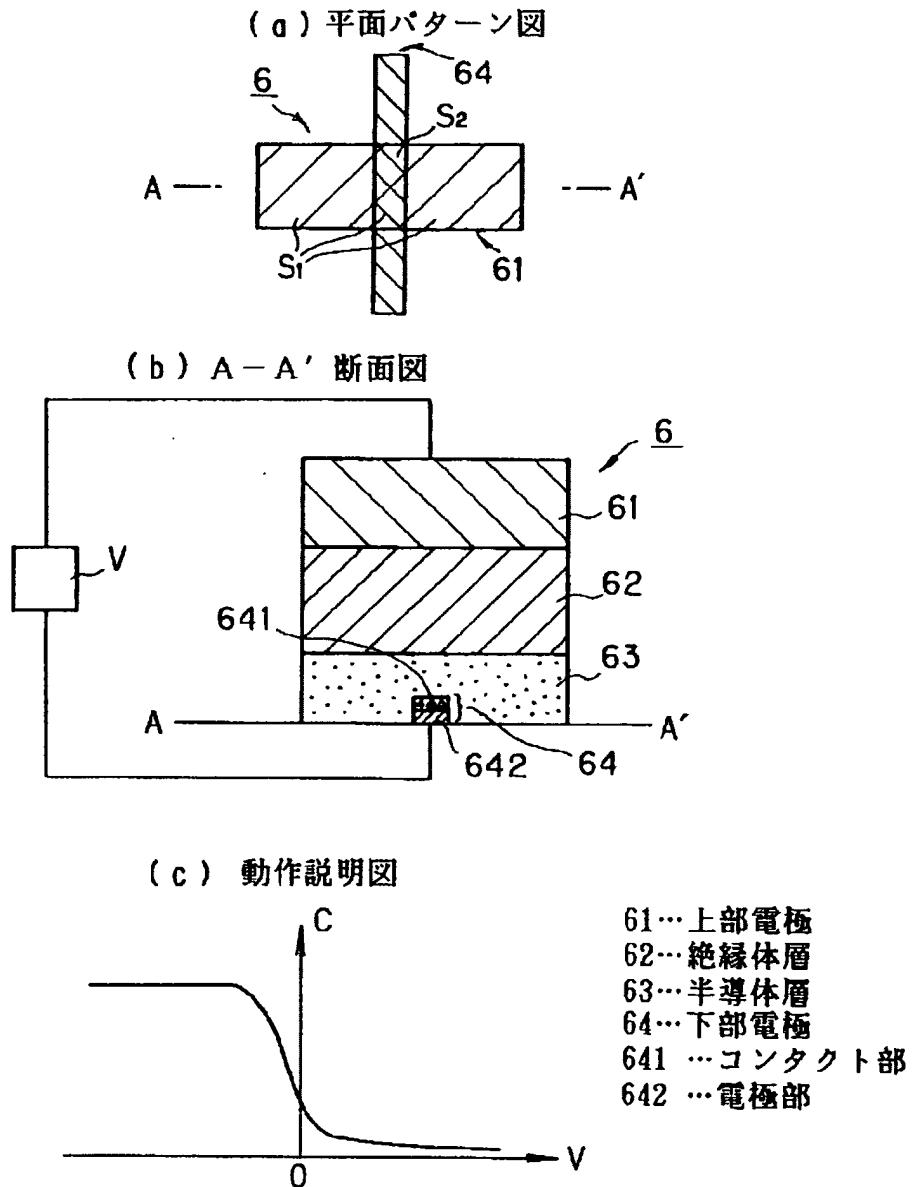
【図3】

図2におけるアクティブマトリクス型液晶表示装置
におけるタイミング図



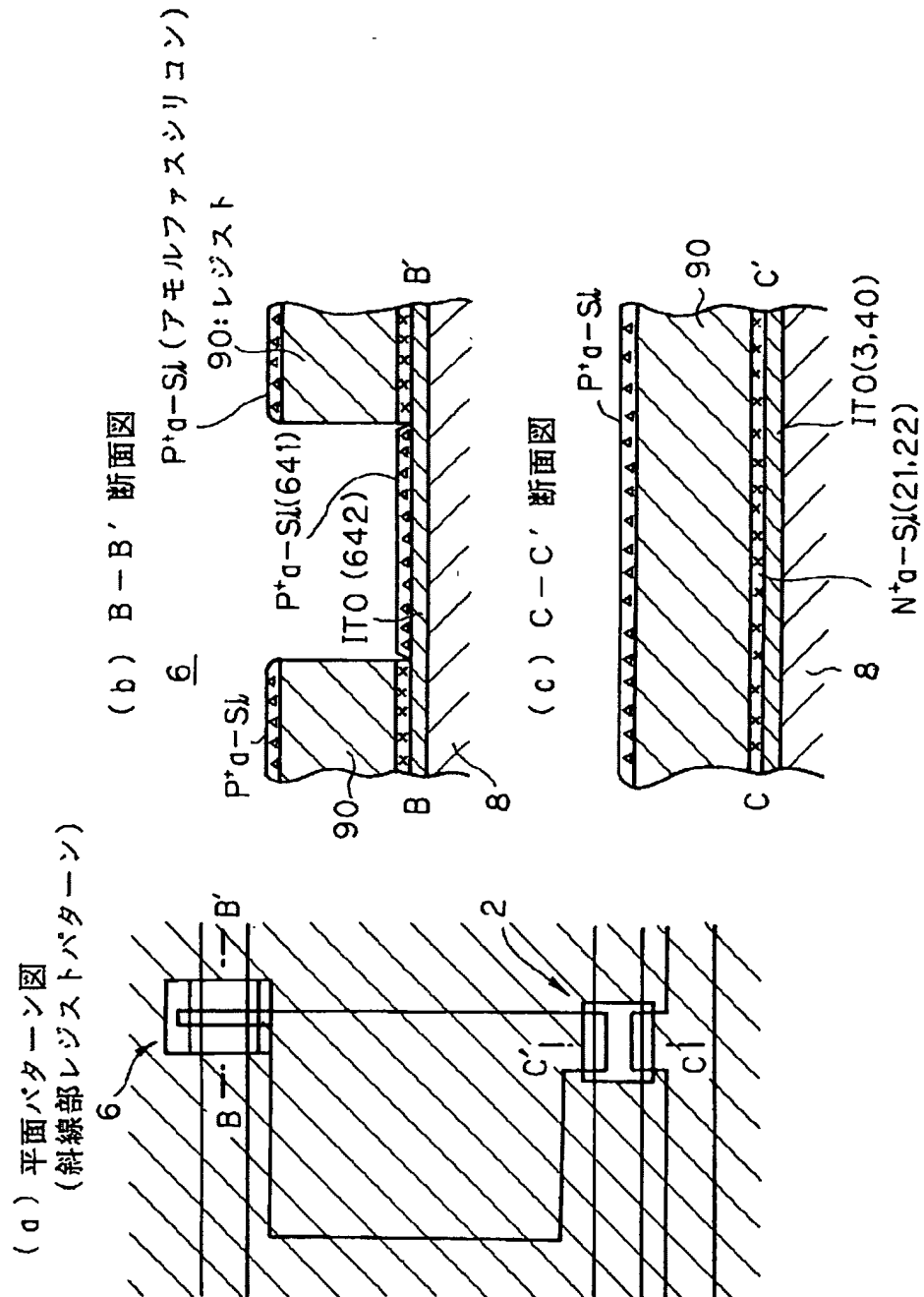
【図4】

本発明のアクティブマトリクス型液晶表示装置における可変容量の構成の一例を示す図



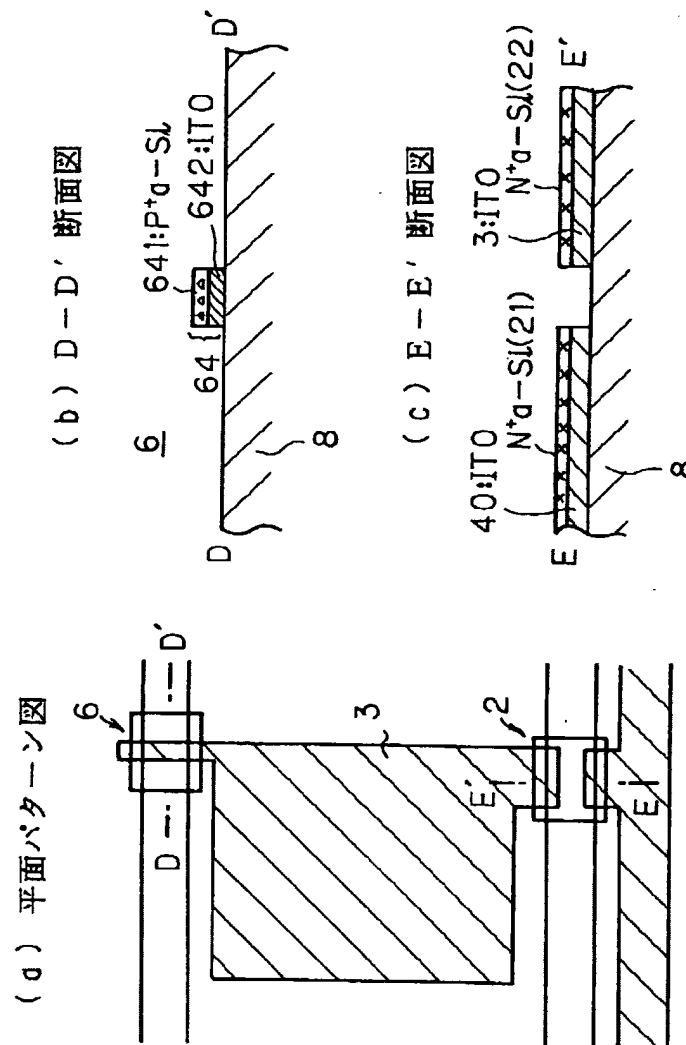
【図5】

本発明のアクティブマトリクス型液晶表示装置の一実施例の製造工程例を説明するための図（その1）



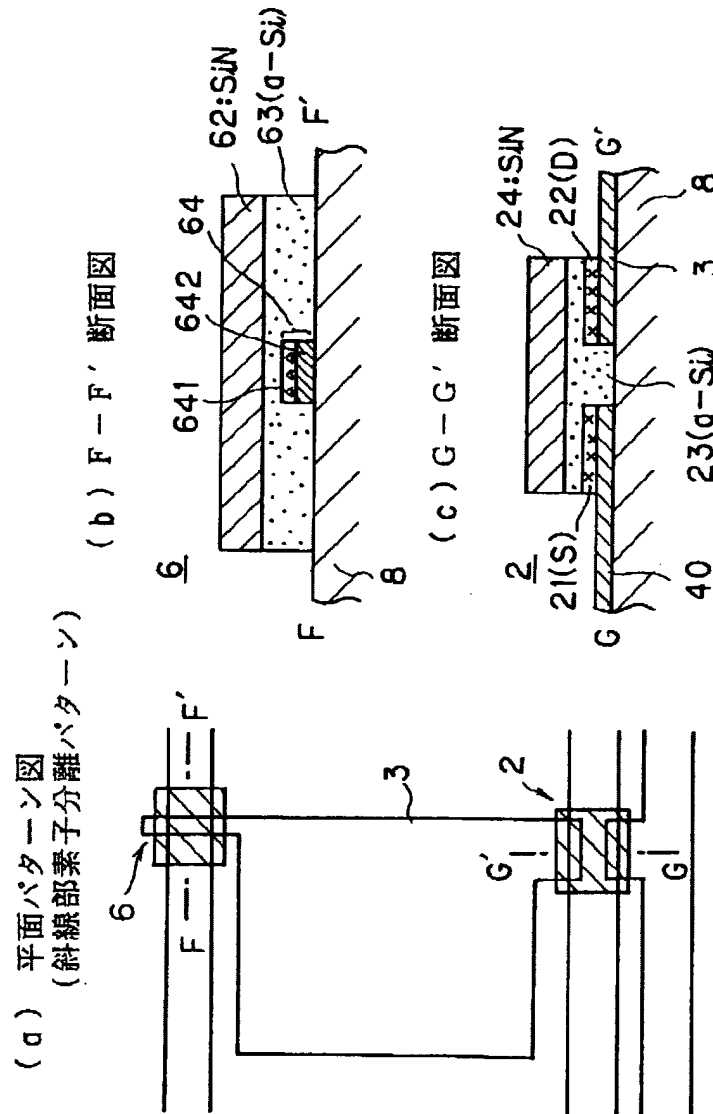
【図6】

本発明のアクティブマトリクス型液晶表示装置の一実施例の製造工程例を説明するための図（その2）



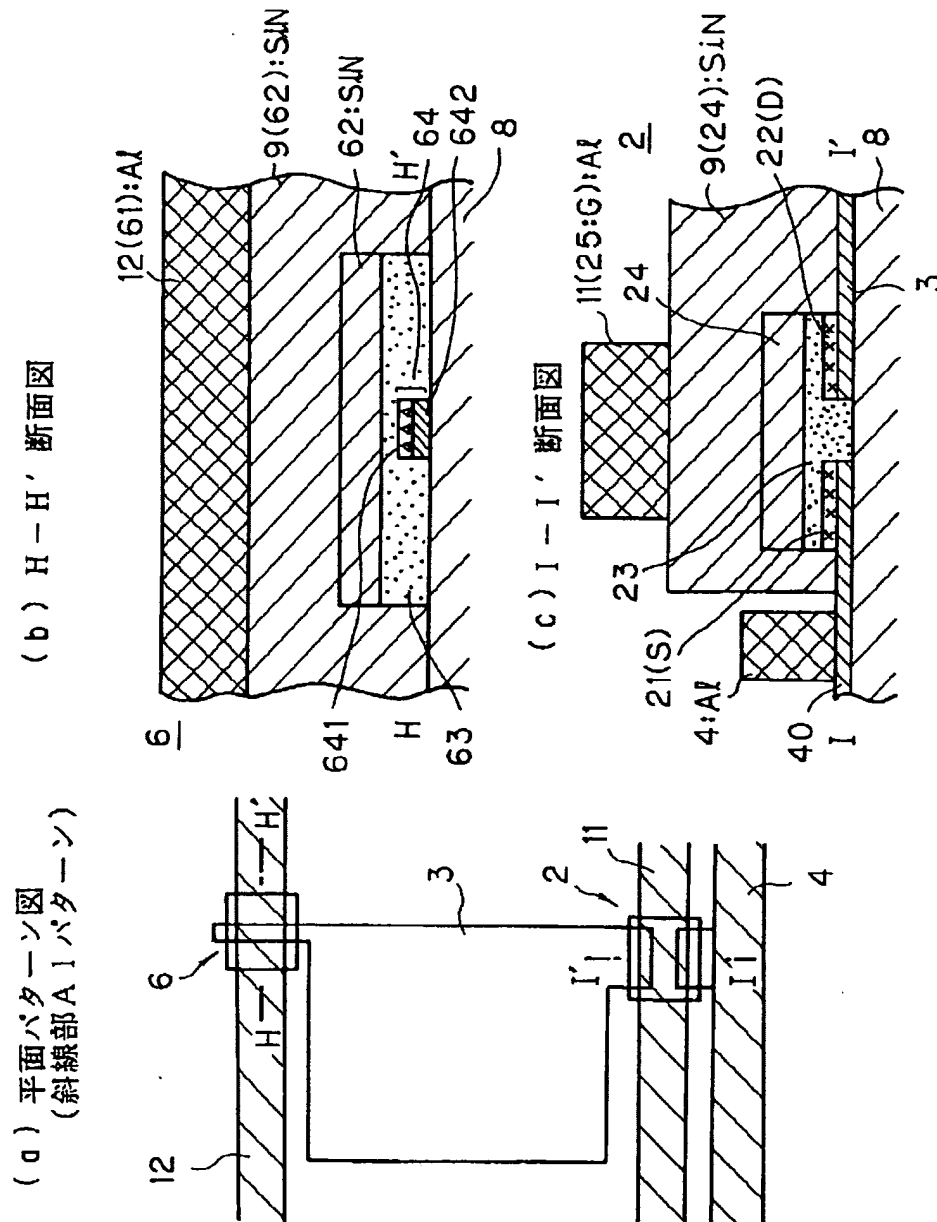
【図7】

本発明のアクティブマトリクス型液晶表示装置の一実施例の製造工程例を説明するための図（その3）



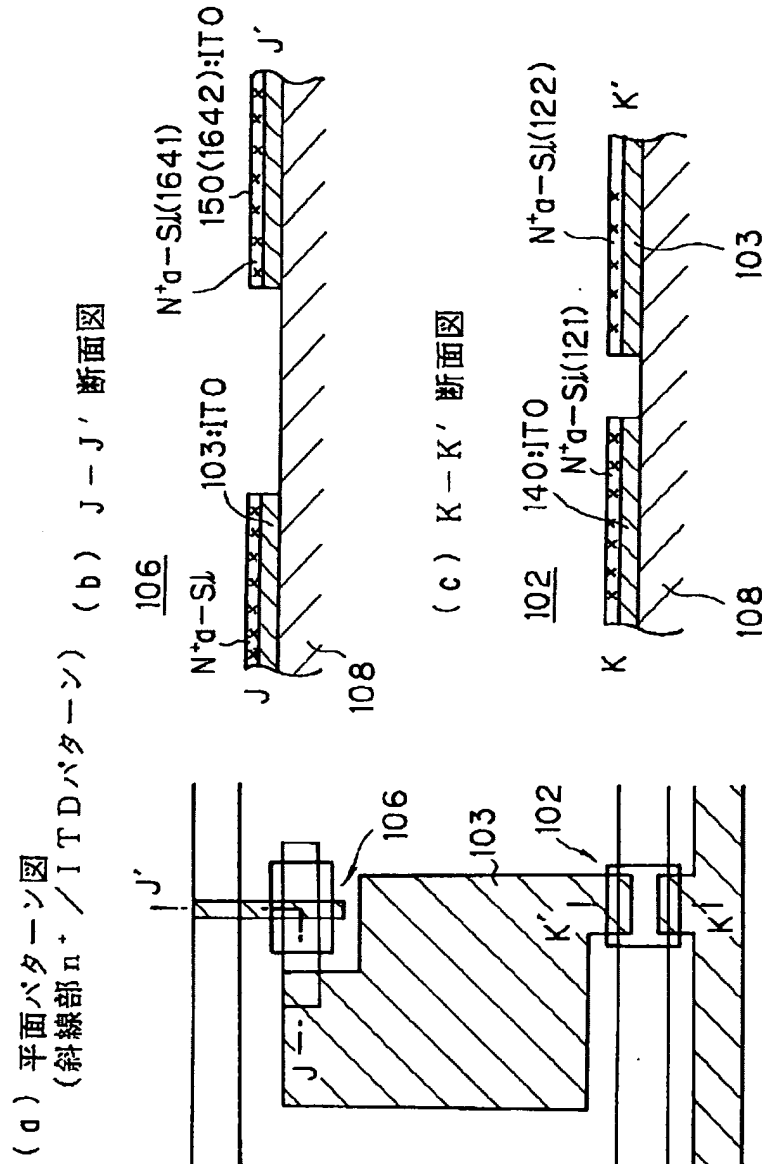
【図8】

本発明のアクティブマトリクス型液晶表示装置の一実施例の製造工程例を説明するための図（その4）



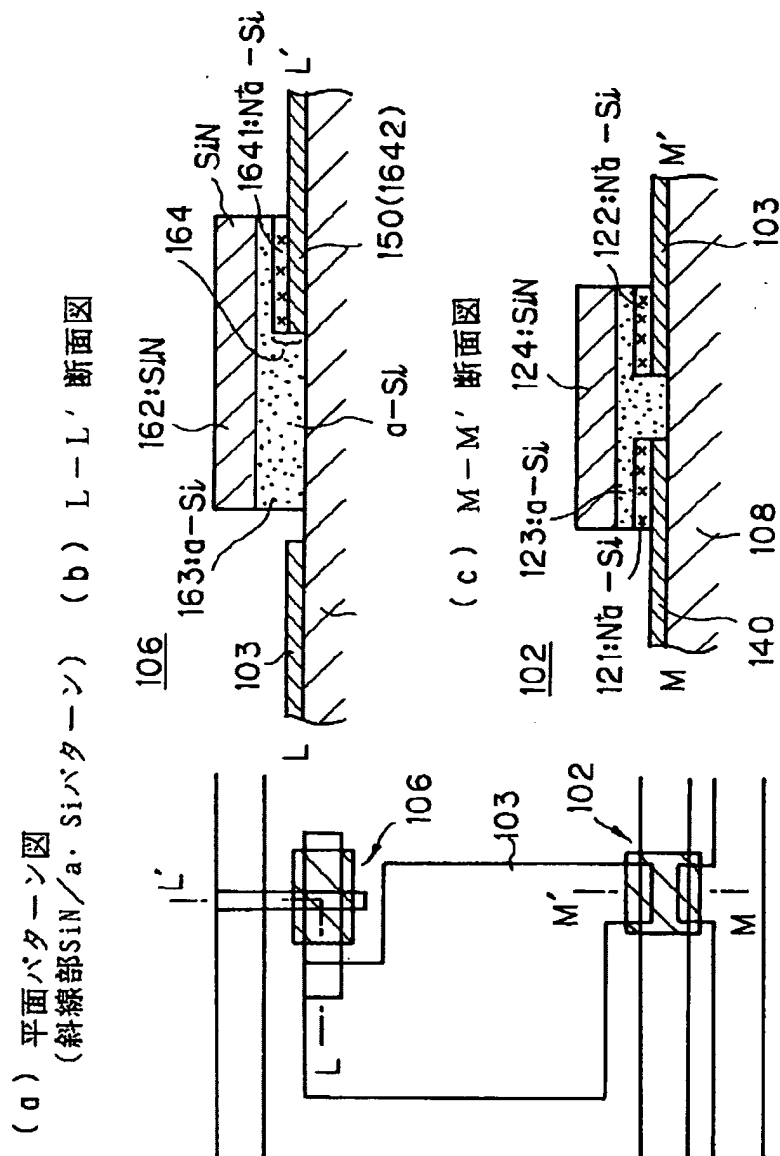
【図9】

本発明のアクティブマトリクス型液晶表示装置の他の実施例の製造工程例を説明するための図（その1）



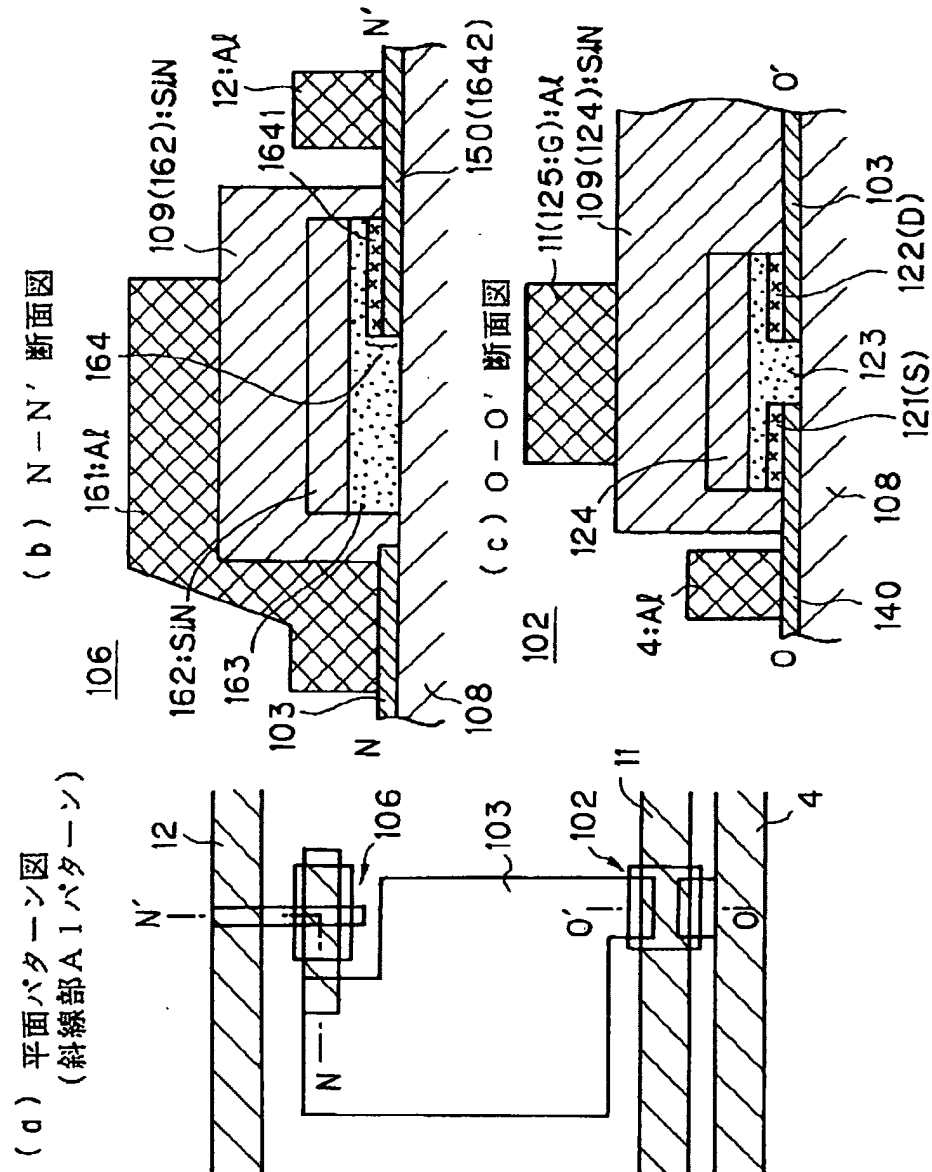
【図10】

本発明のアクティブマトリクス型液晶表示装置の他の実施例の製造工程例を説明するための図（その2）



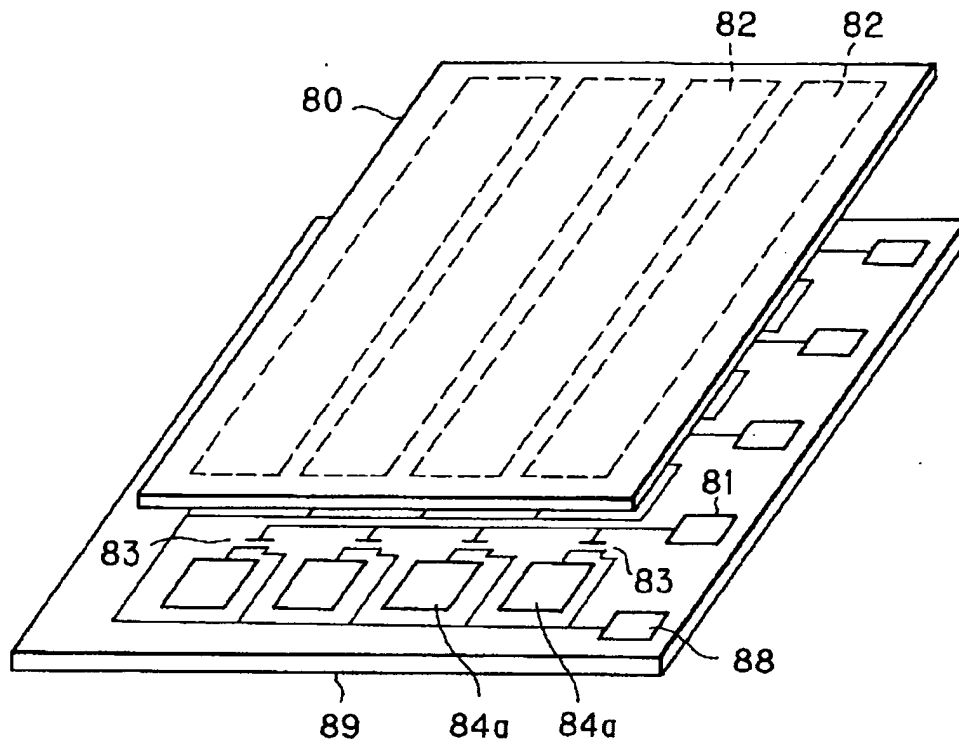
【図11】

本発明のアクティブマトリクス型液晶表示装置の他の実施例の製造工程例を説明するための図（その3）



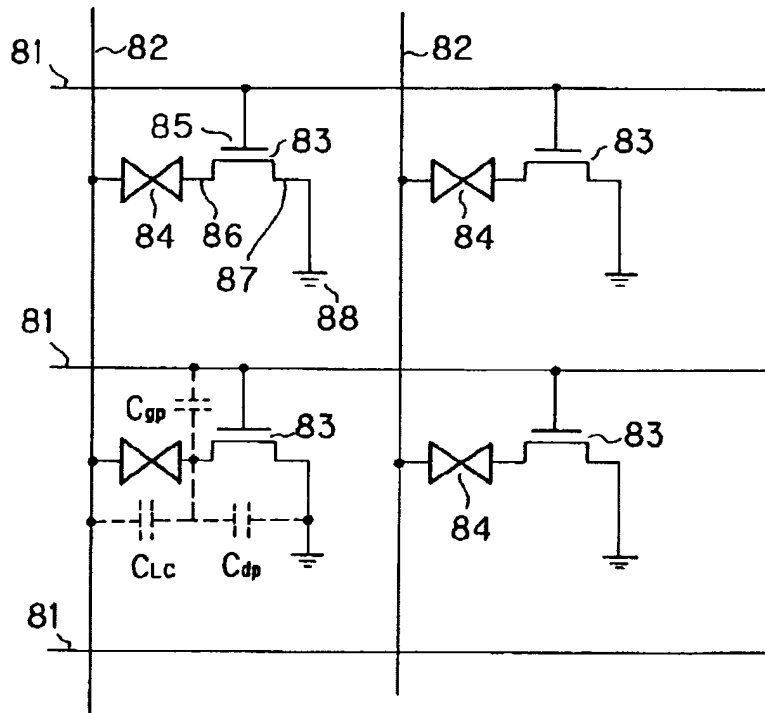
【図 1 2】

従来の対向マトリクス形式のアクティブマトリクス型
液晶表示装置のパネル部分を示す分解斜視図



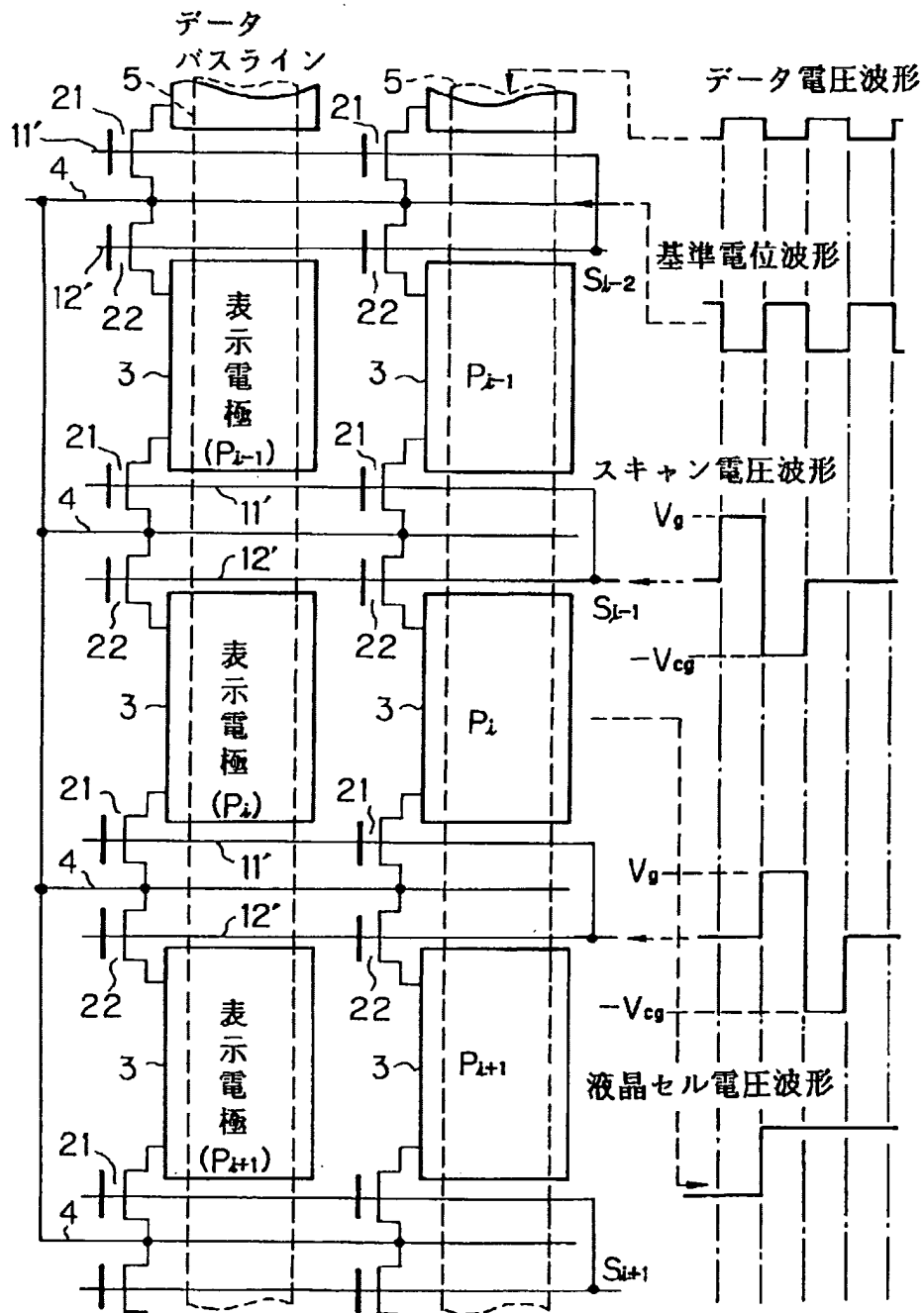
【図13】

図12に示すアクティブマトリクス型液晶表示装置の
等価回路を示す図



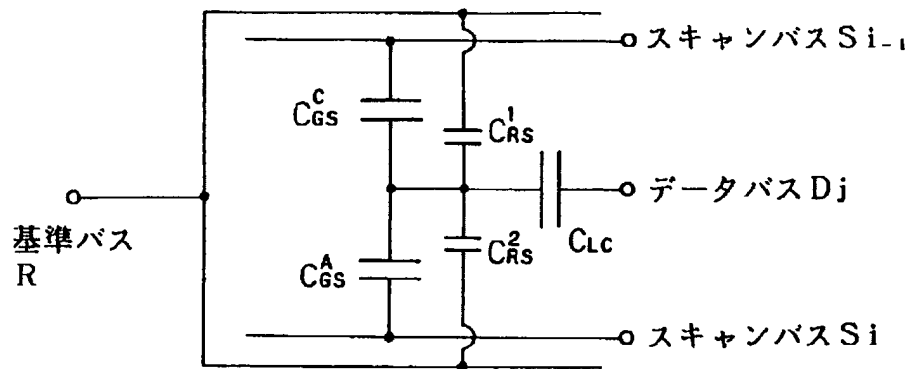
【図14】

関連技術としてのアクティブマトリクス型液晶表示装置
の一例を示す図



【図15】

図14に示すアクティブマトリクス型液晶表示装置の
等価回路を示す図



補償電圧 V_c :

$$V_c = \frac{C_{Gs}^A}{C_{Gs}^C} V_g$$

クロストークの結合定数 α :

$$\alpha = \frac{C_{Gs}^C + C_{Gs}^A + C_{Rs}}{C_{Lc} + C_{Gs}^C + C_{Gs}^A + C_{Rs}}$$

$$\text{ただし } C_{Rs} = C_{Rs}^1 + C_{Rs}^2$$

フロントページの続き

(72)発明者 大形 公士
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 沖 賢一
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(56)参考文献 特開 平1-167915 (JP, A)
特開 平2-228632 (JP, A)

Paul AATE
6/19/96
Fujitsu LTD

CLAIMS

(57) [Claim(s)]

[Claim 1] Intervene and a liquid crystal to one side of two substrates which carried out the placed opposite Two or more scanning bus lines (1) A thin film transistor (2) a display electrode (3) and a reference potential supply bus line (4) are formed Either one of a source and a drain to said scanning bus line to said display electrode. [a gate of said thin film transistor] It is connected to said reference potential supply bus line by another siderespectively and on another side of said two substrates. They are said display electrode and the active matrix type liquid crystal display device of an opposite matrix type with which two or more data bus lines (5) of stripe shape which counters were formed In order to compensate change of display electrode potential produced at the time of the gate end of selection of a thin film transistor variable capacity for compensation (6) is provided to each display electrode An active matrix type liquid crystal display device constituting so that capacity [in / for this variable capacity for compensation (6) / a compensation-operations period (Tb)] may be set up more greatly than capacity in a storage period (Ta) when a gate of a thin film transistor is not chosen.

[Claim 2] An active matrix type liquid crystal display device of Claim 1 controlling a preset value of said variable capacity for compensation (6) by voltage.

[Claim 3] The 1st scanning bus line (11) that carries out drive controlling of said thin film transistor (2) for said scanning bus line (1) And an active matrix type liquid crystal display device of Claim 1 forming by the 2nd scanning bus line (12) that controls said variable capacity for compensation (6).

[Claim 4] The said 1st and 2nd scanning bus lines (11 12) being provided in parallel with both sides of said reference potential supply bus line (4) -- this -- the 2nd scanning bus line -- this -- an active matrix type liquid crystal display device of Claim 3 wherein a signal which controls a display electrode which adjoins the 1st scanning bus line is supplied.

[Claim 5] An active matrix type liquid crystal display device of Claim 1 characterized by using said scanning bus line or said reference potential supply bus line as an electrode bus line for compensation voltage control which controls said compensation voltage.

[Claim 6] An upper electrode an insulation layer a semiconductor layer and a laminated structure of a lower electrode constitute said variable capacity for compensation (6) from the upper part An active matrix type liquid crystal display device of Claim 1 making larger than area with which this upper electrode and this lower electrode lap area with which this upper electrode and this semiconductor layer lap.

[Claim 7] A mark of an electric charge induced in a semiconductor layer of said variable capacity for compensation during the compensation operations An active matrix type liquid crystal display device of Claim 6 having constituted so that it might become a different mark from a carrier at the time of gate selection of a thin film transistor having connected a lower electrode of this variable capacity for compensation to a display electrode and connecting an upper electrode of this variable capacity for compensation to an electrode for compensation voltage control respectively.

[Claim 8] A mark of an electric charge induced in a semiconductor layer of said variable capacity for compensation during the compensation operations An active matrix type

liquid crystal display device of Claim 6 having constituted so that it might become the same mark as a carrier at the time of gate selection of a thin film transistor having connected an upper electrode of this variable capacity for compensation to a display electrode and connecting a lower electrode of this variable capacity for compensation to an electrode for compensation voltage control respectively.

[Claim 9] An upper electrode, a semiconductor layer, an insulation layer, and a laminated structure of a lower electrode constitute said variable capacity for compensation (6) from the upper part. An active matrix type liquid crystal display device of Claim 1 making larger than area with which this upper electrode and this lower electrode lap area with which this semiconductor layer and this lower electrode lap.

[Claim 10] A mark of an electric charge induced in a semiconductor layer of said variable capacity for compensation during the compensation operations. An active matrix type liquid crystal display device of Claim 9 having constituted so that it might become a different mark from a carrier at the time of gate selection of a thin film transistor having connected an upper electrode of this variable capacity for compensation to a display electrode and connecting a lower electrode of this variable capacity for compensation to an electrode for compensation voltage control respectively.

[Claim 11] A mark of an electric charge induced in a semiconductor layer of said variable capacity for compensation during the compensation operations. An active matrix type liquid crystal display device of Claim 9 having constituted so that it might become the same mark as a carrier at the time of gate selection of a thin film transistor having connected a lower electrode of this variable capacity for compensation to a display electrode and connecting an upper electrode of this variable capacity for compensation to an electrode for compensation voltage control respectively.

[Claim 12] It constitutes from an ohmic contact part which performs contact to said semiconductor layer which adjoins polar zone in a lower electrode or an upper electrode by the side of said semiconductor layer. Claim 6 which specified an electric charge induced in this semiconductor layer by a carrier induced by this ohmic contact part or 9 active matrix type liquid crystal display devices.

[Claim 13] An active matrix type liquid crystal display device given in any 1 clause of Claims 6-12 constituting from an amorphous silicon layer which uses said semiconductor layer for manufacturing said thin film transistor.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the active matrix type liquid crystal display device of an opposite matrix type especially about the active matrix type display which performs voltage writing to a liquid crystal cell and maintenance operation by SUICHINGU operation of the thin film transistor (TFT) corresponding to each pixel.

[0002] Since it has a thin shape like a simple matrix liquid crystal display device, the active matrix type liquid crystal display device is broadly used as various kinds of display devices such as a laptop type personal computer, a word processor or portable television. Namely, an active matrix type liquid crystal display device. Since it is what drives this each

pixel independently by the thin film transistor provided in pixel correspondence even when a line number increases with increase of display capacity the fall of contrast or the problem of reduction in an angle of visibility based on the fall of a driving duty do not arise like a simple matrix liquid crystal display device. Therefore it became possible [the colored presentation of quality comparable as a cathode-ray tube (CRT)] for an active matrix type liquid crystal display device and the use as flat display equipment has spread. [0003] However since the active matrix type liquid crystal display device needs to provide a thin film transistor etc. in pixel correspondence as a switching element when a manufacturing process becomes complicated and it manufactures the display device of a big screen it needs a large-sized manufacturing installation. Manufacturing facility expense becomes high and a manufacturing yield will fall and the active matrix type liquid crystal display device is very expensive. Therefore the present active matrix type liquid crystal display device put in practical use is restricted to the comparatively small thing. [0004] In order to improve the fall etc. of the manufacturing yield produced from the complexity of the structure of an active matrix type liquid crystal display device A scanning bus line and a data bus line are formed on a separate substrate the active matrix type liquid crystal display device of the opposite matrix type which lost intersection of the bus line on the same board is proposed and improvement in much more display quality is demanded.

[0005]

[Description of the Prior Art] Conventionally it intersects perpendicularly a scanning bus line and a data bus line are formed on the same substrate and the active matrix type liquid crystal display device which has the composition which connected the display electrode to the intersection via the thin film transistor is provided. However since a scanning bus line and a data bus line cross and are formed on the same board bad insulation a short circuit etc. may arise at a crossing and an open circuit may produce such an active matrix type liquid crystal display device in the upper bus line with an intersectional level difference. It was not easy to make resistance of a lower layer bus line small since there is a limit also in forming thickly lower layer bus line and insulation layer and since an insulation layer was not able to be formed thickly it was difficult to prevent the short circuit in a crossing thoroughly.

[0006] Then the active matrix type liquid crystal display device of the opposite matrix type which intervened carried out the placed opposite of the liquid crystal to while and formed the scanning bus line and the data bus line on substrates such as glass of another side is proposed. Drawing 12 is an exploded perspective view showing the panel part of the active matrix type liquid crystal display device of the conventional opposite matrix type and drawing 13 is a figure showing the equivalent circuit of the active matrix type liquid crystal display device shown in drawing 12.

[0007] As shown in drawing 12 the active matrix type liquid crystal display device of an opposite matrix type As the liquid crystal (not shown) was inserted one glass substrate 89 and the glass substrate 89 of another side were made to counter and it is this one glass substrate (TFT substrate) 80. Upwards The display electrode 84a which constitutes the scanning bus line 81 the thin film transistor 83 and the liquid crystal cell 84 and reference potential supply bus line 88 (drawing 13 shows as a ground) It is formed Glass substrate (counter substrate) 80 of this another side Upwards the data bus line 82 of stripe shape is formed. Here a liquid crystal is enclosed between the data bus line 82 of stripe shape and

the display electrode 84 and thereby the liquid crystal cell 84 is constituted. This liquid crystal cell 84 is a drain (.) of the data bus line 82 and the thin film transistor 83. Or it is connected between the sources 86 and the gate 85 of the thin film transistor 83 is connected to the scanning bus line 81 and the source (or drain) 87 of the thin film transistor 83 is connected to the reference potential supply bus line 88.

[0008] By composition mentioned above although orthogonal arrangement of the data bus line 82 and the scanning bus line 81 will be carried out via a liquid crystal since they are not what crosses on the same board it becomes unnecessary to form an intersectional insulation layer and can constitute easily. It is lost that a short circuit arises between the data bus line 82 and the scanning bus line 81. As compared with the active matrix type liquid crystal display device of the conventional general format which has the composition which intersected perpendicularly formed the scanning bus line and the data bus line on the same substrate and connected the display electrode to this each intersection via the thin film transistor a display defect can be decreased and a manufacturing yield can be raised.

[0009] By the way as for the active matrix type liquid crystal display device of the opposite matrix type it is known as compared with the active matrix type liquid crystal display device of the conventional general format that a cross talk will become large. Namely in the active matrix type liquid crystal display device of an opposite matrix type even if a thin film transistor is an OFF state the data voltage impressed to a data bus line one by one receives a liquid crystal cell -- parallel electric capacity (the electric capacity between the scanning bus line to which the gate of the thin film transistor is connected and the display electrode which constitutes a liquid crystal cell -- and) Between this display electrode and data bus lines Or since it will be impressed via the electric capacity of a between [this display electrode and reference potential supply bus lines (i.e. between the source drains of a thin film transistor)] Liquid crystal cell voltage was changed with the data voltage to other cells and as a result there was a fault that display quality deteriorated.

[0010] Although the active matrix type liquid crystal display device of the conventional general format can add storage capacitance and can make a capacitive coupling ratio small Since the active matrix type liquid crystal display device of an opposite matrix type cannot add such storage capacitance it is difficult to make a capacitive coupling ratio small. Since it is difficult to add storage capacitance there is a fault to which a residual image phenomenon becomes large for the direct-current-voltage level shift immediately after choosing the scanning bus line (81) connected to the gate (85) of a thin film transistor (83) and especially Display quality is also in the case of a still picture are printed a phenomenon arises and deteriorates.

[0011] Then this invention persons proposed the possible active matrix type liquid crystal display device of reducing a cross talk and compensating a direct-current-voltage level shift (DC level shift) and improving display quality (Tokuganhei2-218966: refer to drawing 14).

[0012]

[Problem to be solved by the invention] Drawing 14 is a figure showing an example of the active matrix type liquid crystal display device as a pertinent art. As shown in drawing 14 to the active matrix type liquid crystal display device proposed by Tokuganhei2-218966. In order to compensate the direct-current-voltage level shift leading to an

afterimage as a system which can realize the beautiful display without a high manufacturing yield and afterimage the thin film transistor (TFT) for compensation is provided. Namely intervene and a liquid crystal to one side (TFT substrate 89) of two substrates which carried out the placed opposite. Two or more scanning bus lines 11 and 12 thin film transistors 21 and 22 display electrodes 3 and reference potential supply bus lines 4 are formed and two or more data bus lines 5 of the display electrode 3 and the stripe shape which counters are formed in another side (counter substrate 80) of two substrates. Here scanning bus-line 11' and 12' are provided in parallel with the both sides of the reference potential supply bus line 4.

[0013] It is for the thin film transistor 21 carrying out selection driving of the predetermined liquid crystal cell and the thin film transistor 22 is for compensating a direct-current-voltage level shift. Namely the gate of the thin film transistor 21 is connected to scanning bus-line 11' (S_i) and the gate of the thin film transistor 22 is connected to scanning bus-line 12' (S_{i-1}). The drain (or source) of the thin film transistors 21 and 22 is the display electrode 3 (liquid crystal cell P_i). It is connected and the source (or drain) of the thin film transistors 21 and 22 is connected to the reference potential supply bus line 4. And it is made to operate by compensating change of the display electrode potential produced at the time of the gate end of selection of the thin film transistor 21 and constituting the driving waveform of a scanning bus line from a pulse for addresses and a pulse for compensation by the thin film transistor 22. By taking such compositions since there is no intersection of a bus line in a TFT substrate and compensation of a direct-current-voltage level shift does not have a high yield the beautiful display without an afterimage can be realized.

[0014] Drawing 15 is a figure showing the equivalent circuit of the active matrix type liquid crystal display device shown in drawing 14. If capacity about TFT (thin film transistor 22) which functions considering the capacity about TFT (thin film transistor 21) which usually functions as an object for addresses as C_{GS}^A and an object for direct-current-voltage level shift compensation is made into C_{GS}^C as shown in the figure Compensation voltage V_C is expressed as $V_C = (C_{GS}^A \cdot V_A) / C_{GS}^C$.

[0015] The size of the cross talk by data being written in the display cell of others [TFT / during / the storage period of an OFF state] in an opposite matrix is association constant $**** = (C_{GS}^C + C_{GS}^A + C_{LC}) / (C_{LC} + C_{GS}^C + C_{GS}^A + C_{RS})$.

It is alike and proportional. For this reason when capacity for compensation is enlarged for the voltage lowering of the voltage for compensation in connection with this a cross talk becomes large and the problem of it becoming impossible to realize a beautiful full color display will arise.

[0016] In view of the problem which the conventional active matrix type liquid crystal display device mentioned above has this invention can realize a high manufacturing yield by low cost also by a big screen and moreover aims at offer of the active matrix type liquid crystal display device in which a beautiful full color display is possible.

[0017]

[Means for solving problem] Drawing 1 is a figure showing the principle of the active matrix type liquid crystal display device concerning this invention. As shown in drawing 1 (a) according to this invention intervene and a liquid crystal to one side of two substrates

which carried out the placed opposite. Two or more scanning bus lines 1 thin film transistors 2 display electrodes 3 and reference potential supply bus lines 4 are formed To said scanning bus line 1 either one of a source and a drain to said display electrode 3. [the gate of said thin film transistor 2] It is connected to said reference potential supply bus line 4 by another side respectively and on another side of said two substrates. They are said display electrode 3 and the active matrix type liquid crystal display device of an opposite matrix type with which two or more data bus lines 5 of the stripe shape which counters were formed In order to compensate change of the display electrode potential produced at the time of the gate end of selection of the thin film transistor 2 the variable capacity 6 for compensation is formed to each display electrode 3 The active matrix type liquid crystal display device constituting so that capacity [in / for this variable capacity 6 for compensation / compensation-operations period Tb] may be set up more greatly than the capacity in storage period Ta as which the gate of the thin film transistor is not chosen is provided.

[0018]

[Function] According to the active matrix type liquid crystal display device of this invention change of the display electrode potential produced at the time of the gate end of selection of the thin film transistor 2 is compensated with the variable capacity 6 for compensation provided to each display electrode 3. In [as shown in drawing 1 (b) and (c)] the active matrix type liquid crystal display device of this invention The variable capacity 6 is used as capacity for compensation and the value of this variable capacity 6 for compensation is greatly set to compensation-operations period Tb of a direct-current-voltage level shift in the other period (storage period Ta as which the gate of the thin film transistor 2 for addresses is not chosen) become small. If such variable capacity 6 for compensation is used since it has big capacity in compensation-operations period Tb voltage lowering of compensation voltage can be attained And since it acts as small parasitic capacitance into storage period Ta control of a cross talk can be realized and gradient display sufficient for a full color display is attained.

[0019] Thus in the active matrix type liquid crystal display device of this invention Control of a cross talk is enabled by making capacity for direct-current-voltage level shift compensation into variable capacity and making voltage lowering of compensation voltage possible by setting it as a big value in compensation-operations period Tb and setting this capacity as a small value in storage period Ta.

[0020]

[Working example] Hereafter the working example of the active matrix type liquid crystal display device applied to this invention with reference to Drawings is described. Drawing 2 is a figure showing the fundamental example of composition of the active matrix type liquid crystal display device of this invention and shows the pattern on one substrate of the active matrix type liquid crystal display device of an opposite matrix type.

[0021] As shown in drawing 2 in the active matrix type liquid crystal display device of this example a liquid crystal is on one side (TFT substrate 89 in drawing 12) of two substrates by which the placed opposite was carried out by intervening. Two or more scanning bus lines 11 and 12 thin film transistors 2 display electrodes 3 reference potential supply bus lines 4 and variable capacity 6 for compensation are formed. Two or more data bus lines 5 of the display electrode 3 and the stripe shape which counters are formed in another side (counter substrate 80 in drawing 12) of two substrates. Here the scanning bus lines 11 and

12 are formed in parallel with the both sides of the reference potential supply bus line 4. Common connection of the reference potential supply bus line 4 is carried out to all. For example it changes to any of two different levels for every horizontal scanning period they are.

[0022][0022]. JISUTA 2 of thin film TO is ***** about a predetermined liquid crystal cell.

In order that it may be a thing and the variable capacity 6 for compensation may compensate a direct-current-voltage level shift.

Namely a gate of the thin film transistor 2 is connected to the scanning bus line 11 (S_i) and one terminal of the variable capacity 6 for compensation is connected to the scanning bus line 12 (S_{i-1}) for driving a line on one of the scanning bus lines 11 (S_i) to which a gate of this thin film transistor 2 was connected. A drain (or source) of the thin film transistor 2 is the display electrode 3 (liquid crystal cell P_i). It is connected and a source (or drain) of the thin film transistor 2 is connected to the reference potential supply bus line 4. And a terminal of another side of the variable capacity 6 for compensation is the display electrode 3 (liquid crystal cell P_i). It is connected.

[0023] Drawing 3 is a timing diagram in an active matrix type liquid crystal display device shown in drawing 2. Liquid crystal cell [of $i-1$ row] P_{i-1} . Scanning bus-line S_{i-1} for driving. (Scanning bus line 12 to which one terminal of the variable capacity 6 for compensation connected to the display electrode 3 of liquid crystal cell P_i is connected) A voltage waveform Liquid crystal cell P_i of i sequence. Scanning bus-line S_i (scanning bus line 11 to which a gate of the thin film transistor 2 connected to the display electrode 3 of liquid crystal cell P_i is connected) for driving Capacity value (C_{GS}^C) of a voltage waveform and the variable capacity 6 for compensation is shown.

[0024] As shown in drawing 3 the voltage waveform of scanning bus-line S_i for driving liquid crystal cell P_i of i sequence In the same form as the voltage waveform of scanning bus-line S_{i-1} for driving liquid crystal cell [of $i-1$ row] P_{i-1} it is that in which only predetermined timing (the clock signal was embraced) was. That is the driving signal of each column line in an active matrix type liquid crystal display device is chosen one by one according to a clock signal and changes to a predetermined level. The capacity value (C_{GS}^C) of the variable capacity 6 for compensation is large to compensation-operations period T_b of a direct-current-voltage level shift and is small set to it in the other period (storage period T_a as which the gate of the thin film transistor 2 for addresses is not chosen). That is as shown in the figure capacity value C_{GS}^C of the variable capacity 6 for compensation is set to compensation-operations period T_b with C_b and variable control is carried out to storage period T_a so that it may be set to C_a .

[0025] First if scanning voltage is impressed to scanning bus-line S_{i-1} The display electrode 3 of liquid crystal cell P_{i-1} is connected to the reference potential supply bus line 4 via the thin film transistor 2 and (data voltage) is impressed to liquid crystal cell P_{i-1} for the difference voltage of the data bus line 5 and the reference potential supply bus line 4. And liquid crystal cell P_{i-1} will maintain this data voltage and will perform a predetermined display until the sequence ($i-1$ row) is chosen next. Since capacity value C_{GS}^C of the variable capacity 6 for compensation connected to the display electrode 3 of liquid crystal cell P_{i-1} is made small with C_a [at this time i.e. storage period T_a of liquid crystal cell P_{i-1}] Liquid crystal cell P_{i-1} hardly receives the influence (cross talk) by the

data voltage of other lines.

[0026] Next if scanning voltage is impressed to scanning bus-line S_i The display electrode 3 of liquid crystal cell P_i is connected to the reference potential supply bus line 4 via the thin film transistor 2 and (data voltage) is impressed to liquid crystal cell P_i for the difference voltage of the data bus line 5 and the reference potential supply bus line 4. And liquid crystal cell P_i will maintain this data voltage and will perform a predetermined display until the sequence (i sequence) is chosen next. Compensation-operations period T_b (storage period of cells other than liquid crystal cell P_i) of liquid crystal cell P_i Since capacity value C_{GS}^C of the variable capacity 6 for compensation which sets and is connected to the display electrode 3 of liquid crystal cell P_i is enlarged with C_b The direct-current-voltage level shift in liquid crystal cell P_i can fully be compensated. This responds to the ability of voltage lowering of the compensation voltage for compensating a direct-current-voltage level shift to also be performed.

[0027] The scanning bus lines 11 and 12 are formed in parallel with the both sides of the reference potential supply bus line 4 Although the gate of the thin film transistor 2 of liquid crystal cell P_i is connected to the scanning bus line 11 (S_i) and one terminal of the variable capacity 6 for compensation of liquid crystal cell P_i is connected to the scanning bus line 12 (S_{i-1}) It cannot be overemphasized that these composition may change into others variously.

[0028] Drawing 4 is a figure showing an example of the composition of the variable capacity in the active matrix type liquid crystal display device of this invention and an A-A sectional view [in / the figure (a) can be set to a plane pattern figure and / in the figure (b) / the figure (a)] and the figure (c) are explanatory views of operation. That is as the variable capacity 6 for compensation in the active matrix type liquid crystal display device of drawing 2 what has the structure shown in drawing 4 can be used.

[0029] As shown in drawing 4 (a) and (b) the variable capacity 6 for compensation has the upper electrode 61 the insulation layer 62 the semiconductor layer 63 and MIS structure that laminated the lower electrode 64 from the upper part. The lower electrode 64 comprises the ohmic contact part 641 and the polar zone 642 for making electric connection with the semiconductor layer 63. And the power supply voltage V is impressed between the polar zone 642 of the upper electrode 61 and the lower electrode 64.

[0030] As shown in drawing 4 (a) area S_1 to which the semiconductor layer 63 laps with the upper electrode 61 is constituted so that it may become larger than area S_2 with which the upper electrode 61 and the lower electrode 64 lap. And when the voltage of the upper electrode 61 is [the voltage of the polar zone 642 of the lower electrode 64] right (+) in negative (-) in order to enlarge capacity of the variable capacity 6 for compensation. What is necessary is to constitute the semiconductor layer 63 from semi-conducting material (for example P type amorphous silicon) of P type and for the ohmic contact part 641 of the lower electrode 64 just to consist of P^+ type semi-conducting material (for example P^+ type amorphous silicon).

[0031] When positive voltage is impressed to the upper electrode 61 and negative voltage is impressed to the lower electrode 64 (polar zone 642) concrete first it will depend for the capacity value of the variable capacity 6 for compensation on area S_2 with which the upper electrode 61 and the lower electrode 64 lap. On the other hand when negative voltage is impressed to the upper electrode 61 and positive voltage is impressed to the

lower electrode 64 it will depend for the capacity value of the variable capacity 6 for compensation on area S_1 to which the semiconductor layer 63 laps with the upper electrode 61. Namely if positive voltage is impressed to the polar zone 642 of the lower electrode 64 via the ohmic contact part 641 which comprised P^+ type semi-conducting material a hole (electron hole) will spread all over the semiconductor layer 63 and as a result a capacity will be formed between the upper electrode 61 and the semiconductor layer 63 (area S_1).

[0032] Therefore as shown in drawing 4 (c) the power supply voltage V the case where it is positive (when the upper electrode 61 is [the lower electrode 64] negative potential in positive potential) the capacity value of the variable capacity 6 for compensation When it is set as the small value depending on area S_2 with which the upper electrode 61 and the lower electrode 64 lap and the power supply voltage V is negative conversely (the upper electrode 61 with negative potential.) When the lower electrode 64 is positive potential the capacity value of the variable capacity 6 for compensation will be set as the big value depending on area S_1 to which the semiconductor layer 63 laps with the upper electrode 61. Therefore the variable capacity 6 for compensation in the active matrix type liquid crystal display device of this invention The capacity in a compensation-operations period (T_b) can be set up more greatly than the capacity in a storage period (T_a) by controlling the capacity value of this variable capacity 6 for compensation by voltage (polarity of impressed electromotive force) to have mentioned above.

[0033] Above the semiconductor layer 63 is constituted from semi-conducting material of N type and the ohmic contact part 641 of the lower electrode 64 can also consist of N^+ type semi-conducting material. However the capacity value of the variable capacity 6 for compensation when positive voltage is impressed to the upper electrode 61 and negative voltage is impressed to the lower electrode 64 (polar zone 642) in this case It will be dependent on area S_1 to which the semiconductor layer 63 laps with the upper electrode 61 and will depend for the capacity value of the variable capacity 6 for compensation when negative voltage is impressed to the upper electrode 61 and positive voltage is impressed to the lower electrode 64 on area S_2 with which the upper electrode 61 and the lower electrode 64 lap. Namely if negative voltage is impressed to the polar zone 642 of the lower electrode 64 via the ohmic contact part 641 which comprised N^+ type semi-conducting material an electron will spread all over the semiconductor layer 63 and as a result a capacity will be formed between the upper electrode 61 and the semiconductor layer 63 (area S_1).

[0034] Although the variable capacity for compensation shown in drawing 4 mentioned above has an upper electrode an insulation layer a semiconductor layer and MIS structure that laminated the lower electrode from the upper part As this variable capacity for compensation it can also constitute from the upper part as an upper electrode a semiconductor layer an insulation layer and MIS structure that laminated the lower electrode. In the case of the former area with which an upper electrode and a semiconductor layer lap was made larger than the area with which an upper electrode and a lower electrode lap here but when it is the latter area with which a semiconductor layer and a lower electrode lap will be made larger than the area with which an upper electrode and a lower electrode lap. As an electrode bus line for compensation voltage control which controls the compensation voltage of the variable capacity 6 for compensation it may constitute so that the reference potential supply bus line 4 may be used in addition to

a scanning bus line (12).

[0035] Thus the variable capacity for compensation used for the active matrix type liquid crystal display device of this invention To a lamination direction they are a lower electrode an insulation layer a semiconductor layer and an upper electrode (or) (from a lower part). It is considered as a lower electrode a semiconductor layer an insulation layer and what is called MIS structure of an upper electrode and the overlapping area of the electrode by the side of a semiconductor layer and an insulation layer consists of overlapping areas of a lower electrode and an upper electrode greatly. It becomes possible to control the variation more than the so-called variable quantity of MIS capacity by this. Namely although the depletion layer capacitance of the lamination direction of a semiconductor layer produces the usual MIS capacity by changing with impressed electromotive force The capacity (variable capacity for compensation) mentioned above is controlling the effectual electrode area (S_1 and S_2) of a plane direction by impressed electromotive force further and setting out of much more big variable quantity is attained. Namely if voltage is impressed so that a semiconductor layer may be in storage state the conductance of a semiconductor layer will become large As opposed to the effectual electrode area of variable capacity turning into area (S_1) with which a semiconductor layer and an insulation layer lateral electrode lap mostly It is because the conductance of a semiconductor layer will become small and the effectual electrode area of variable capacity will turn into area (S_2) with which an upper electrode and a lower electrode lap mostly if voltage is impressed so that a semiconductor layer may be in a depletion state.

[0036] By the way when using the above-mentioned variable capacity 6 for compensation for an active matrix type liquid crystal display device the voltage for compensation Since it needs to be impressed by the gate voltage and the opposite direction of the thin film transistor 2 for addresses in order to set up the capacity for compensation greatly at the time of compensation voltage impression When the mark of the electric charge induced in the semiconductor layer 62 of the variable capacity 6 for compensation during the compensation operations (T_b) is a different mark from the carrier at the time of gate selection of the thin film transistor 2 Connect with the display electrode 3 and the electrode by the side of the semiconductor layer of the variable capacity 6 for compensation again When the mark of the electric charge induced in the semiconductor layer 62 of the variable capacity 6 for compensation during the compensation operations (T_b) is the carrier and same sign at the time of gate selection of the thin film transistor 2 the electrode by the side of the insulation layer of the variable capacity 6 for compensation will be connected to the display electrode 3.

[0037] [00375 - drawing 8 are explanation about the example of a manufacturing process of one working example of the active matrix type liquid crystal display device of this invention.

It is a ** figure and they are a lower electrode and a semiconductor layer from a lower part about the variable capacity for compensation Insulation layer It reaches it is what shows the case where an upper electrode is laminated and constituted What explained the composition of the variable capacity 6 for compensation by drawing 4 by the case where the mark of the electric charge induced in the semiconductor layer 63 of the variable capacity 6 for compensation during the compensation operations (T_b) is a different mark (hole) from the carrier at the time of gate selection of the thin film transistor 2 (electron).

[0038] First drawing 5 (a) As shown in - (c) 50 nm of ITO(s) are formed by a sputtering method as a transparent electrode on the glass substrate 8 (TFT substrate). Next as shown in drawing 5 (c) it is an ohmic contact layer (the source 21 and drain 22) of the thin film transistor 2 for addresses. After carrying out and forming 30 nm of N⁺a-Si (amorphous silicon) with plasma CVD method A predetermined resist pattern (PURISOSU drain pattern) is formed by the resist 90 and the etching process only of N⁺a-Si is carried out according to this resist pattern. It is an electrode (lower electrode 64) by the side of the semiconductor layer of the variable capacity 6 for compensation leaving the resist 90 as shown in drawing 5 (b). Form 300 nm of P⁺a-Si with plasma CVD method as an ohmic contact layer (641) and a lift off **** The lower electrode 64 which consists of the ohmic contact part 641 and the polar zone 642 is formed (refer to drawing 6 (b)).

[0039] Next as shown in drawing 6 (c) patterning of the source electrode (21) of the thin film transistor 2 and a drain electrode (22) is performed. As shown in drawing 7 (b) and (c) patterning of isolation is performed after forming SiN for a-Si with 50-nm plasma CVD method as the insulation layers (gate-dielectric-film layer) 62 and 24 of 30 nm and a first pass eye as the semiconductor layer 63 of the variable capacity 6 for compensation and the semiconductor layer 23 of the thin film transistor 2. then it is shown in drawing 8 (b) and (c) -- as -- the insulation layer (gate-dielectric-film layer) of a secondary layer eye -- 250 nm of SiN(s) are formed as 9 (6224) and a contact hole is patterned. And after forming aluminum (aluminum) by a sputtering method patterning of the scanning bus lines 11 and 12 and the reference potential supply bus line 4 is performed.

[0040] Here the reference mark 3 is a conductor section for a display electrode which consists of ITO(s) being shown and 40 being formed by ITO and connecting the source 21 and the reference potential supply bus line 4 of the thin film transistor 2. A part of scanning bus line 11 is used as the gate 25 of the thin film transistor 2.

A part of scanning bus line 12 is used as the upper electrode 61 of the variable capacity 6 for compensation.

And the lower electrode 642 of the variable capacity 6 for compensation is connected to the display electrode 3.

[0041] By impressing wave-like voltage as shown in drawing 3 to scanning bus-line S_{i-1} (12) and S_i (11) to an active matrix type liquid crystal display device manufactured as mentioned above During the compensation operations (T_b) enlarge capacity value of the variable capacity 6 for compensation and a direct-current-voltage level shift of a liquid crystal cell is compensated and capacity value of the variable capacity 6 for compensation can be made small at storage period (T_a) and a cross talk can be stopped.

[0042] [0042]. ** - drawing 11 are explanation about an example of a manufacturing process of other working examples of an active matrix type liquid crystal display device of this invention.

It is a ** figure and they are a lower electrode and a semiconductor layer from a lower part about variable capacity for compensation An insulation layer It reaches it is what shows a case where an upper electrode is laminated and constituted It is the semiconductor layer 163 of the variable capacity 106 for compensation to a compensation-operations period (T_b). The place as a carrier at the time of gate selection of the thin film transistor 102 (electron) where a mark of an electric charge induced in inside is the same.

[0043] First drawing 9 (a) As shown in - (c) 50 nm of ITO(s) are formed by a sputtering method as a transparent electrode on the glass substrate 108 (TFT substrate). Next as shown in drawing 9 (b) and (c) after forming 30 nm of N^+ -a-Si (amorphous silicon) with plasma CVD method as an ohmic contact layer of the thin film transistor 102 for addresses and the variable capacity 106 for compensation. An ohmic contact layer (ohmic contact part 1641) of a source electrode (121) and a drain electrode (122) of the thin film transistor 2 and a semiconductor layer lateral electrode (lower electrode 164) of the variable capacity 106 for compensation are patterned. As shown in drawing 10 (b) and (c) after forming SiN for a-Si with 50-nm plasma CVD method as the insulation layer (gate-dielectric-film layer) 162124 of 30 nm and a first pass eye as the semiconductor layer 163 of the variable capacity 106 for compensation and the semiconductor layer 123 of the thin film transistor 102 is patterned. Then as shown in drawing 11 (b) and (c) 250 nm of SiN(s) are formed as the insulation layer (gate-dielectric-film layer) 109 (162124) of a secondary layer eye and a contact hole is patterned. And after forming aluminum (aluminum) by a sputtering method the upper electrode 161 of the scanning bus lines 11 and 12, the reference potential supply bus line 4 and the variable capacity 106 for compensation are patterned.

[0044] Here the reference mark 103 shows the display electrode which consists of ITO(s) and 140 is formed by ITO -- the conductor section for connecting the source 121 and the reference potential supply bus line 4 of the thin film transistor 102 [show and] 150 it is formed by ITO in one with the polar zone 1642 of the lower electrode 164 of the variable capacity 106 for ***** -- the conductor section for connecting the ohmic contact part 1641 and the scanning bus line 12 of this lower electrode 164 is shown. A part of scanning bus line 11 is used as the gate 125 of the thin film transistor 102. And the upper electrode 161 of the variable capacity 106 for compensation is connected to the display electrode 103.

[0045] By impressing wave-like voltage as shown in drawing 3 to scanning bus-line S_{i-1} (12) and S_i (11) to the active matrix type liquid crystal display device manufactured as mentioned above. Like what was explained with reference to drawing 5 - drawing 8 enlarge capacity value of the variable capacity 106 for compensation at compensation-operations period (T_b) and compensate the direct-current-voltage level shift of a liquid crystal cell and. Capacity value of the variable capacity 106 for compensation can be made small at storage period (T_a) and a cross talk can be stopped.

[0046]

[Effect of the Invention] As mentioned above since the voltage lowering of compensation voltage and control of a cross talk are attained by making into variable capacity capacity for compensation which compensates a direct-current-voltage level shift according to the active matrix type liquid crystal display device of this invention as explained in full detail. Moreover the active matrix type liquid crystal display device in which a beautiful full color display is possible can be provided by low cost.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a figure showing the principle of the active matrix type liquid crystal display device concerning this invention.

[Drawing 2] It is a figure showing the fundamental example of composition of the active matrix type liquid crystal display device of this invention.

[Drawing 3] It is a timing diagram in the active matrix type liquid crystal display device shown in drawing 2.

[Drawing 4] It is a figure showing an example of the composition of the variable capacity in the active matrix type liquid crystal display device of this invention.

[Drawing 5] It is a figure (the 1) for explaining the example of a manufacturing process of one working example of the active matrix type liquid crystal display device of this invention.

[Drawing 6] It is a figure (the 2) for explaining the example of a manufacturing process of one working example of the active matrix type liquid crystal display device of this invention.

[Drawing 7] It is a figure (the 3) for explaining the example of a manufacturing process of one working example of the active matrix type liquid crystal display device of this invention.

[Drawing 8] It is a figure (the 4) for explaining the example of a manufacturing process of one working example of the active matrix type liquid crystal display device of this invention.

[Drawing 9] It is a figure (the 1) for explaining the example of a manufacturing process of other working examples of the active matrix type liquid crystal display device of this invention.

[Drawing 10] It is a figure (the 2) for explaining the example of a manufacturing process of other working examples of the active matrix type liquid crystal display device of this invention.

[Drawing 11] It is a figure (the 3) for explaining the example of a manufacturing process of other working examples of the active matrix type liquid crystal display device of this invention.

[Drawing 12] It is an exploded perspective view showing the panel part of the active matrix type liquid crystal display device of the conventional opposite matrix type.

[Drawing 13] It is a figure showing the equivalent circuit of the active matrix type liquid crystal display device shown in drawing 12.

[Drawing 14] It is a figure showing an example of the active matrix type liquid crystal display device as a pertinent art.

[Drawing 15] It is a figure showing the equivalent circuit of the active matrix type liquid crystal display device shown in drawing 14.

[Explanations of letters or numerals]

1112 -- Scanning bus line

2102 -- Thin film transistor (TFT)

3103 -- Display electrode

4 -- Reference potential supply bus line

5 -- Data bus line

6106 -- Variable capacity for compensation

61161 -- Upper electrode

62162 -- Insulation layer
63163 -- Semiconductor layer
64164 -- A lower electrode
641-1641 -- An ohmic contact part of a lower electrode
642-1642 -- Polar zone of a lower electrode
